

PCT/KR 03/02260
RO/ST 27.10.2003

Rec'd PCT/PTO 18 MAY 2005

REC'D 06 NOV 2003

WIPO PCT

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0072001
Application Number
PATENT-2002-0072001

출원년월일 : 2002년 11월 19일
Date of Application
NOV 19, 2002

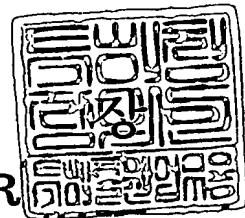
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2002 년 12 월 10 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.19
【발명의 명칭】	액정 표시 장치의 박막 트랜지스터 기판 및 이의 제조 방법
【발명의 영문명칭】	Thin Film Transistor Of Liquid Crystal Display Device And Method Of Manufacturing The Same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	조범석
【성명의 영문표기】	CHO, Beom Seok
【주민등록번호】	730605-1030312
【우편번호】	150-811
【주소】	서울특별시 영등포구 대림3동 607-1 코오롱아파트 101동 2402호
【국적】	KR
【발명자】	
【성명의 국문표기】	정창오
【성명의 영문표기】	JEONG, Chang Oh
【주민등록번호】	620220-1140615
【우편번호】	442-706
【주소】	경기도 수원시 팔달구 망포동 동수원엘지빌리지 201-203
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 우 (인) 박영

1020020072001

출력 일자: 2002/12/11

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	60	면	60,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】			89,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

액정 표시 장치의 박막 트랜지스터 기판 및 이의 제조방법이 개시되어 있다. 실리콘 원소를 포함하는 기판, 상기 기판상에 형성된 확산방지막 및 상기 확산방지막상에 형성되고, 상기 확산방지막 형성 물질이 0.5~15 at% 범위로 포함된 구리 합금층을 포함하여 이루어진다. 상기 확산방지막은 Zr, Ti, Hf, V, Ta, Ni, Cr, Nb, Co, Mn, Mo, W, Rh, Pd, Pt 등과 같은 화합물을 50~5000Å 범위로 증착하고 열처리 하여 실리사이드 (silicide) 화합물로 변환하여 제조하게 된다. 구리 합금 배선을 사용하여 트랜지스터 기판을 제조하므로 낮은 저항과 높은 전도도를 구현할 수 있게 된다. 또한 얇은 두께의 확산방지막과 동일 원소를 첨가한 구리 합금을 사용하여 구리 배선을 형성하였으므로 이후 동시 식각이 가능하고 후속 공정에서 기판과의 상호 확산을 방지할 수 있다.

【대표도】

도 1c

【명세서】

【발명의 명칭】

액정 표시 장치의 박막 트랜지스터 기판 및 이의 제조방법{Thin Film Transistor Of Liquid Crystal Display Device And Method Of Manufacturing The Same}

【도면의 간단한 설명】

도 1a 내지 1c는 본 발명의 방법에 따라 액정 표시 장치의 박막 트랜지스터 기판상에 구리 합금 배선을 제조하기 위한 공정을 나타낸 단면도이다.

도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고,

도 3은 도 1의 II-II' 선에 대한 단면도이고,

도 4 내지 7은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정을 그 공정 순서에 따라 도시한 단면도이고,

도 8은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

도 9 및 도 10은 각각 도 8의 VII-VII' 선 및 IX-IX' 선에 대한 단면도이고,

도 11a 및 11b 내지 도 18a 및 18b는 각각 도 9 및 도 10에 나타난 박막 트랜지스터 기판의 제조 공정을 나타내는 단면도이다.

도 19는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 배치도이고,

도 20은 도 19에 도시한 박막 트랜지스터 기판을 절단선 XIX-XIX'을 따라 나타낸 단면도이고,

도 21 내지 28은 도20에 나타난 박막 트랜지스터 기판의 제조 공정을 설명하기 위한 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 액정 표시 장치의 박막 트랜지스터 기판 및 이의 제조 방법에 관한 것으로서, 상세하게는 낮은 비저항을 갖는 구리 배선을 적용한 액정 표시 장치의 박막 트랜지스터 기판 및 이의 용이한 제조 방법에 관한 것이다.

<12> 일반적으로 표시 장치는 전기적인 신호를 시각 영상으로 변환시켜 인간이 직접 정보를 인식할 수 있도록 하는데 사용되는 전기 광학적인 장치이다. 이러한 표시 장치중 액정 표시 장치는 전계를 인가하여 액정 분자의 배열을 변화시켜 액정의 광학적 성질을 이용하는 표시 장치이다.

<13> 박막 트랜지스터가 대형 표시 기판에 이용될 때 신호의 지연이나 이미지의 깜박거림을 방지하기 위해서는 게이트 저항이 작아야 한다. 작은 저항과 큰 전도도를 가지는 금속에는 구리나 알루미늄이 있다. 그러나 이러한 물질은 공정상 제약성이 뒤따른다. 특히 금속중에서 가장 낮은 비저항을 갖는 구리의 경우는 이를 사용한 공정 개발에 많은 관심이 기울여지고 있다. 그러나 기판이나 절연막과의 접착력이 떨어지고 자연 산화가 쉽게 일어나는 결점이 있으며, 구리 배선을 박막 트랜지스터 공정에 적용하기 위해서는 우선 구리가 Si 기판으로 확산되는 것을 방지해야 하며 기판과의 접착력을 확보해야 한다는 어려움이 있다.

<14> Si 기판으로의 빠른 구리 확산은 소자의 오믹 콘택(ohmic contact) 특성을 저하시키며 접착력의 불량은 식각 등과 같은 후속 공정중에서의 박막의 들뜸, 벗겨짐 현상을 발생시킨다. 이는 공정 적용시에 매우 큰 문제를 발생시킬 수 있다.

【발명이 이루고자 하는 기술적 과제】

<15> 본 발명의 목적은 상기한 최근의 요구에 부응한 것으로서, 비저항이 적은 구리 재료를 배선으로 적용하되 실리콘 기판으로의 구리 확산이 방지되어 소자 특성이 향상된 액정 표시 장치의 박막 트랜지스터 기판을 제공하고자 하는 것이다.

<16> 본 발명의 다른 목적은 상기한 구리 배선을 채용한 액정 표시 장치용 박막 트랜지스터 기판의 용이한 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<17> 상기 목적을 달성하기 위하여 본 발명에서는

<18> 실리콘 원소를 포함하는 기판;

<19> 상기 기판상에 형성된 확산방지막; 및

<20> 상기 확산방지막상에 형성되고, 상기 확산방지막 형성 물질이 0.5~15 at% 범위로 포함된 구리 합금층을 포함하는 액정 표시 장치의 박막 트랜지스터 기판을 제공한다.

<21> 특히 상기 확산방지막은 Zr, Ti, Hf, V, Ta, Ni, Cr, Nb, Co, Mn, Mo, W, Rh, Pd 및 Pt 중에서 선택된 적어도 하나의 실리사이드(silicide) 화합물로 이루어진 것이 바람직하며, 이의 두께는 50~5000Å 범위인 것이 바람직하다.

<22> 또한 상기 구리 합금층은 게이트 배선, 소스드레인 전극 및 데이터 배선중 어느 하나를 이루는 금속층인 경우에 용이하게 적용될 수 있으며 상기 기판으로는 실리콘 기판, 클래스 기판 및 플라스틱 기판중 어느 하나인 경우에 용이하게 적용될 수 있다.

<23> 상기한 본 발명의 다른 목적은

<24> 실리콘 기판상에 확산방지막을 형성하는 단계;

<25> 구리와 상기 확산방지막에 포함된 원소가 0.5~15 at%범위로 포함된 합금을 증착하여 게이트 배선층을 형성하는 단계;

<26> 상기 게이트 배선층을 식각하여 게이트선, 게이트 패드 및 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계;

<27> 게이트 절연막을 적층하는 단계;

<28> 반도체층 패턴 및 저항성 접촉층 패턴을 형성하는 단계;

<29> 데이터 배선 물질을 도포하고 패터닝하여 상기 게이트선과 교차하는 데이터선, 상기 데이터선과 연결되어 있는 데이터 패드, 상기 데이터선과 연결되어 있으며 상기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계;

<30> 보호막을 형성하는 단계;

<31> 상기 게이트 절연막과 함께 상기 보호막을 패터닝하여 상기 게이트 패드, 상기 데이터 패드 및 상기 드레인 전극을 각각 드러내는 접촉 구멍을 형성하는 단계;

<32> 투명 도전막을 적층하는 단계; 및

<33> 상기 투명 도전막을 식각하여 상기 게이트 패드, 상기 데이터 패드 및 상기 드레인 전극과 각각 연결되는 보조 게이트 패드, 보조 데이터 패드 및 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 의해 달성된다.

<34> 특히, 상기 확산방지막은 Zr, Ti, Hf, V, Ta, Ni, Cr, Nb, Co, Mn, Mo, W, Rh, Pd 및 Pt로 이루어진 군에서 선택된 적어도 하나의 화합물을 50~5000Å 범위로 증착하고, 열처리 공정에 의해 실리사이드(silicide) 화합물로 변환하는 단계를 통하여 제조되는 것이 바람직하다.

<35> 이러한 열처리 공정은 후속되는 게이트 절연막의 적층시에 적용되는 증착 처리 공정일 수도 있고, 진공하, 대기압하 또는 N_2 가스 분위기하, 200~500°C 온도에서 별도로 수행되는 공정일 수도 있다.

<36> 상기한 본 발명의 다른 목적은 또한

<37> 기판상에 확산방지막을 형성하는 단계;

<38> 구리와 상기 확산방지막에 포함된 원소가 0.5~15 at% 범위로 포함된 합금을 증착하여 게이트 배선층을 형성하는 단계;

<39> 상기 게이트 배선층을 식각하여 게이트선, 게이트 패드 및 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계;

<40> 게이트 절연막을 적층하는 단계;

<41> 반도체층, 저항성 접촉층, 및 도전체층을 적층하는 단계;

<42> 제1 부분, 상기 제1 부분보다 두께가 두꺼운 제2 부분, 상기 제1 두께보다 두께가 얇은 제3 부분을 가지는 감광막 패턴을 형성하는 단계;

<43> 상기 감광막 패턴을 사용하여 데이터선과 이와 연결된 데이터 패드, 소스 전극 및 드레인 전극을 포함하는 데이터 배선, 그리고 저항성 접촉층 패턴 및 반도체층 패턴을 형성하는 단계;

<44> 보호막을 형성하는 단계;

<45> 상기 게이트 절연막과 함께 상기 보호막을 패터닝하여 상기 게이트 패드, 상기 데이터 패드 및 상기 드레인 전극을 각각 드러내는 접촉 구멍을 형성하는 단계;

<46> 투명 도전막을 적층하는 단계; 및

<47> 상기 투명 도전막을 씁작하여, 상기 게이트 패드, 상기 데이터 패드 및 상기 드레인 전극과 각각 연결되는 보조 게이트 패드, 보조 데이터 패드 및 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 의해서도 달성 된다.

<48> 또한 본 발명의 다른 목적은

<49> 절연 기판상에 확산방지막을 형성하는 단계;

<50> 구리와 상기 확산방지막에 포함된 원소가 0.5~15 at% 범위로 포함된 합금을 증착하여 데이터선을 포함하는 데이터 배선을 형성하는 단계;

<51> 상기 기판 상부에 적, 녹, 청의 색필터를 형성하는 단계;

<52> 베퍼 물질을 증착하여 상기 데이터 배선 및 상기 색필터를 덮는 베퍼층을 형성하는 단계;

<53> 상기 베퍼층 상부에 게이트 배선층 형성하는 단계;

<54> 상기 게이트 배선층을 식각하여 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성하는 단계;

<55> 상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계;

<56> 상기 게이트 절연막상에 섬모양의 저항성 접촉층과 반도체층 패턴을 형성하는 동시에 상기 게이트 절연막과 상기 베퍼층에 상기 데이터선 일부를 드러내는 제1 접촉 구멍을 형성하는 단계;

<57> 상기 섬 모양의 저항성 접촉층 패턴상에 투명도전물질을 도포후 식각하여, 서로 분리되어 형성되어 있으며 동일한 층으로 만들어진 소스용 전극 및 드레인용 전극과, 상기 드레인용 전극과 연결된 화소 전극을 포함하는 화소 배선을 형성하는 단계;

<58> 상기 소스용 전극과 상기 드레인용 전극의 사이에 위치하는 상기 저항성 접촉층 패턴의 노출 부분을 제거하여 상기 저항성 접촉층 패턴을 양쪽으로 분리하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 의해서도 달성된다.

<59> 이하, 본 발명의 좀 더 상세히 설명하기로 한다.

<60> 구리 배선을 액정 표시 장치용 박막 트랜지스터 기판의 제조에 적용하기 위해서는 우선 실리콘 기판상에서의 구리 배선의 접착력이 확보되어야 한다. 또한 후속되는 고온 열공정 예컨대, SiNx 증착, ITO 어닐링 공정 등에 의해 실리콘 기판과의 상호 확산이 일어나지 않아야 한다.

<61> 이를 위하여 실리콘 기판상에 먼저 확산방지막을 형성하도록 한다. 확산방지막은 실리사이드를 용이하게 형성할 수 있는 금속을 사용하여 형성하도록 하는데, 예를 들면, Zr, Ti, Hf, V, Ta, Ni, Cr, Nb, Co, Mn, Mo, W, Rh, Pd, Pt 등의 금속이 용이하게 적용

될 수 있다. 확산방지막을 형성한 후 그 상부에 구리 배선을 형성하도록 한다. 이 때, 순수한 구리 금속을 사용하지 않고, 상기 확산방지막의 제조를 위하여 적용된 금속을 소정량 첨가하여 제조된 합금을 적용하도록 한다. 이를 통하여 계면에서의 구리 원소의 우선적인 확산을 방지할 수 있게 되는 것이다. 합금의 제조를 위하여 첨가되는 원소는 함량이 0.5~15 at% 범위가 되도록 하는데, 만약 첨가 원소의 함량이 0.5 at% 미만이면 첨가 효과가 미미하여 합금을 해도 순수한 구리 금속과 큰 차이가 없기 때문에 구리 원소가 기판으로 확산될 염려가 있다. 또한 만약 첨가 원소의 함량이 증가하면 첨가 원소의 함량이 너무 많아서 구리 배선의 비저항이 증가하므로 저저항 배선의 구현이 어려우므로 바람직하지 못하다. 따라서 이의 첨가량은 15 at%를 초과하지 않도록 하는 것이 바람직하다.

<62> 한편, 확산방지막의 두께를 증가시키면 확산방지 특성은 우수하게 확보할 수 있으나 이후 구리 합금 배선과 일괄 식각하기 위해서는 너무 두껍게 형성하지 않는 것이 좋다. 이러한 두가지 상반된 특성을 감안할 때 확산방지막의 두께는 50~1000Å 범위가 되도록 하는 것이 바람직하다.

<63> 상기한 방법으로 구리 금속 배선을 형성하면 이후 SiNx 증착 공정과 같은 고온 공정을 수행하게 되는데, 이 때 하부에 형성되어 있는 확산방지막에 의하여 계면에서 우선적으로 일어나는 구리 원소의 기판으로의 확산이 방지된다. 이와 동시에 상기 고온 공정을 통하여 확산방지막은 실리사이드로 변하게 된다. 구리 금속 내부에 첨가되어 있는 첨가 원소가 계면과 표면으로 확산되면 하부의 확산방지막에 추가로 원소가 공급되어 확산방지막으로서의 특성이 더욱 향상되고 추가적인 실리사이드 생성이 가능하게 된다. 또

한 표면으로 확산된 합금 원소는 후속 공정에서 구리 금속막의 내화학성 향상에도 기여 할 수 있다.

<64> 확산방지막 성분을 증착한 후에 실리사이드를 형성하기 위하여 별도의 열처리 공정을 적용하는 것도 가능하다. 이 경우, 진공하에서 또는 대기압하에서 또는 N_2 가스 분위기하에서 수행하도록 하는데 열처리 온도은 약 $200\sim 500^\circ C$ 범위가 되도록 하는 것이 바람직하다. 이러한 열처리 공정은 공정 단순화와 비용 및 시간 감소를 위해서 생략하더라도 후속되는 열처리 공정에 의해 열처리 효과를 얻을 수 있다. 그러나 별도의 열처리 공정을 수행하면 좀 더 안정적인 열처리 공정이 가능하고, 합금이 열처리된 후 안정한 특성하에서 후속 공정을 진행할 수 있다는 잇점이 있다.

<65> 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 저저항 배선의 구조를 적용한 박막 트랜지스터 기판 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

<66> 먼저, 도 1a 내지 1c는 본 발명의 방법에 따라 액정 표시 장치의 박막 트랜지스터 기판상에 구리 합금 배선을 제조하기 위한 공정을 단면도로 나타내었다.

<67> 도 1a에 나타난 바와 같이 실리콘 기판(10) 상에 확산방지막(11)을 형성하고 그 상부에 구리 합금 배선(12)을 형성하도록 한다. 이후, 적절한 마스크를 사용하여 배선을 식각하여 도 1b에 나타난 바와 같이 기판(10) 상에 확산방지막 패턴(11a) 및 배선 패턴(12a)을 형성하도록 한다. 이후 별도의 열처리 공정이나 후속되는 열처리 공정에 의해 도 1c에 나타난 바와 같이 배선 패턴(12a) 내에 있는 확산방지막 성분은 표면으로 확산됨과 동시에 확산방지막 패턴(11a)은 실리사이드 화합물층(11b)으로 변환된다.

<68> 이하, 도 2 및 도 3을 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

<69> 도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고, 도 3은 도 2에 도시한 박막 트랜지스터 기판의 II-II 선에 대한 단면도이다.

<70> 절연 기판(10) 위에 금속의 실리사이드로 이루어진 확산방지막(221, 241, 261)과 상기 확산방지막 성분을 함유하는 구리 합금막으로 이루어진 게이트 배선층(222, 242, 262)의 이중층으로 이루어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다.

<71> 기판(10) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있다.

<72> 게이트 전극(24)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 섬 모양으로 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항성 접촉층(54, 56)이 각각 형성되어 있다.

<73> 저항성 접촉층(54, 56) 및 게이트 절연막(30) 위에는 폴리브텐막 또는 폴리브텐-텅스텐 합금막으로 이루어진 데이터 배선층(62, 65, 66, 68)이 형성되어 있다. 데이터 배선(62, 65, 66, 68)은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)의 분지이며 저항성 접촉층(54)의 상부까지 연장되어 있

는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽 저항성 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다. 데이터 배선(62, 65, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 보호막(70)이 형성되어 있다.

<74> 보호막(70)에는 드레인 전극(66) 및 데이터 패드(68)를 각각 드러내는 접촉 구멍(76, 78)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)이 형성되어 있다. 이때, 패드(24, 68)를 드러내는 접촉 구멍(74, 78)은 각을 가지거나 원형의 다양한 모양으로 형성될 수 있으며, 면적은 $2\text{mm} \times 60\mu\text{m}$ 를 넘지 않으며, $0.5\text{mm} \times 15\mu\text{m}$ 이상인 것이 바람직하다.

<75> 보호막(70) 위에는 접촉 구멍(76)을 통하여 드레인 전극(66)과 전기적으로 연결되어 있으며 화소에 위치하는 화소 전극(82)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉 구멍(74, 78)을 통하여 각각 게이트 패드(24) 및 데이터 패드(68)와 연결되어 있는 보조 게이트 패드(86) 및 보조 데이터 패드(88)가 형성되어 있다. 여기서, 화소 전극(82)과 보조 게이트 및 데이터 패드(86, 88)는 ITO(indium tin oxide)로 이루어져 있다.

<76> 여기서, 화소 전극(82)은 도 2 및 도 3에서 보는 바와 같이, 게이트선(22)과 중첩되어 유지 축전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가할 수도 있다.

<77> 또, 화소 전극(82)은 데이터선(62)과도 중첩하도록 형성하여 개구율을 극대화하고 있다. 이처럼 개구율을 극대화하기 위하여 화소 전극(82)을 데이터선(62)과 중첩시켜 형

성하더라도 보호막(70)의 유전율이 낮기 때문에 이들 사이에서 형성되는 기생 용량은 문제가 되지 않을 정도로 작다.

<78> 그러면, 이러한 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 대하여 도 2 및 도 3과 도 4 내지 도 8을 참고로 하여 상세히 설명 한다.

<79> 먼저, 도 4에 도시한 바와 같이, 기판(10) 위에 Zr, Ti, Hf, V, Ta, Ni, Cr, Nb, Co, Mn, Mo, W, Rh, Pd, Pt 과 같은 금속을 50~1000Å 두께로 증착하여 확산방지막 (221, 241, 261)을 적층하고, 그 상부에 상기 확산방지막의 형성을 위해 적용한 금속 원소를 0.5~15 at% 함유하는 구리 합금을 증착하여 게이트 배선층(222, 242, 262)을 적층한 다음, 패터닝하여 게이트선(22), 게이트 전극(26) 및 게이트 패드(24)를 포함하는 가로 방향으로 뻗어 있는 게이트 배선을 형성한다.

<80> 다음, 도 5에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 비정질 규소로 이루어진 반도체층(40), 도핑된 비정질 규소층의 삼층막을 연속하여 적층하고, 반도체층(40)과 도핑된 비정질 규소층을 사진 식각하여 게이트 전극(24) 상부의 게이트 절연막(30) 위에 섬 모양의 반도체층(40)과 저항성 접촉층(55, 56)을 형성한다.

<81> 다음, 도 6에 도시한 바와 같이, 몰리브덴 또는 몰리브덴-텅스텐 합금을 증착하여 데이터 배선층(65, 66, 68)을 적층하고 사진 식각하여 게이트선(22)과 교차하는 데이터 선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)은 한쪽 끝에 연결되어 있는 데이터 패드(68) 및 소스 전극(64)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 마주하는 드레인 전극(66)을 포함하는 데이터 배선을 형성한다.

<82> 이어, 데이터 배선(62, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층 패턴을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(55, 56) 사이의 반도체층 패턴(40)을 노출시킨다. 이어, 노출된 반도체층(40)의 표면을 안정화시키기 위하여 산소 플라스마를 실시하는 것이 바람직하다. 다음으로, 도 7에 나타난 바와 같은 보호막을 형성한다.

<83> 이어, 사진 식각 공정으로 게이트 절연막(30)과 함께 보호막을 패터닝하여, 게이트 패드(24), 드레인 전극(66) 및 데이터 패드(68)를 드러내는 접촉 구멍(74, 76, 78)을 형성한다. 여기서, 접촉 구멍(74, 76, 78)은 각을 가지는 모양 또는 원형의 모양으로 형성할 수 있으며, 패드(24, 68)를 드러내는 접촉 구멍(74, 78)의 면적은 $2\text{mm} \times 60\mu\text{m}$ 를 넘지 않으며, $0.5\text{mm} \times 15\mu\text{m}$ 이상인 것이 바람직하다.

<84> 다음, 마지막으로 도 2 및 3에 도시한 바와 같이, ITO막을 증착하고 사진 식각하여 제1 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되는 화소 전극(82)과 제2 및 제3 접촉 구멍(74, 78)을 통하여 게이트 패드(24) 및 데이터 패드(68)와 각각 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)를 형성한다. ITO를 적층하기 전의 예열 (pre-heating) 공정에서 사용하는 기체는 질소를 이용하는 것이 바람직하다. 이는 접촉 구멍(74, 76, 78)을 통해 노출되어 있는 금속막(24, 66, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위함이다.

<85> 이러한 방법은 앞에서 설명한 바와 같이, 5매의 마스크를 이용하는 제조 방법에 적용할 수 있지만, 4매 마스크를 이용하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

<86> 먼저, 도 8 내지 도 10을 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.

<87> 도 8은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 9 및 도 10은 각각 도 8에 도시한 박막 트랜지스터 기판을 VIII-VIII' 선 및 IX-IX' 선에 대한 단면도이다.

<88> 먼저, 절연 기판(10) 위에 제1 실시예와 동일하게 확산방지막(221, 241, 261)과 구리 합금으로 이루어진 게이트 배선층(222, 242, 262)의 이중층으로 이루어진 게이트 배선이 형성되어 있다. 게이트 배선은 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함한다.

<89> 기판(10) 위에는 게이트선(22)과 평행하게 유지 전극선(28)이 형성되어 있다. 유지 전극선(28) 역시 확산방지막(281)과 게이트 배선층(282)의 이중층으로 이루어져 있다. 유지 전극선(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(68)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다. 유지 전극선(28)에는 상부 기판의 공통 전극과 동일한 전압이 인가되는 것이 보통이다.

<90> 게이트 배선(22, 24, 26) 및 유지 전극선(28) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26, 28)을 덮고 있다.

<91> 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물이 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.

<92> 저항성 접촉층 패턴(55, 56, 58) 위에는 몰리브덴 또는 몰리브덴 합금막으로 이루어진 데이터 배선층(62, 64, 65, 66, 68)이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 그리고 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부(62, 68, 65)를 포함하며, 또한 데이터선부(62, 68, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극선(28) 위에 위치하고 있는 유지 축전기용 도전체 패턴(64)도 포함한다. 유지 전극선(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(64) 또한 형성하지 않는다.

<93> 접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 68, 65)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(64)과 동일하다

<94> 한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 58)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(64) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 68, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다. 데이터 배선(62, 64, 65, 66, 68) 위에는 보호막(70)이 형성되어 있다.

<95> 보호막(70)은 드레인 전극(66), 데이터 패드(64) 및 유지 축전기용 도전체 패턴(68)을 드러내는 접촉구멍(76, 78, 72)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(74)을 가지고 있다.

<96> 보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 IT0의 투명한 도전 물질로 만들어지며, 접촉 구멍(76)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(72)을 통하여 유지 축전기용 도전체 패턴(64)과도 연결되어 도전체 패턴(64)으로 화상 신호를 전달한다. 한편, 게이트 패드(24) 및 데이터 패드(68) 위에는 접촉 구멍(74, 78)을 통하여 각각 이들과 연결되는 보조 게이트 패드(86) 및 보조

데이터 패드(88)가 형성되어 있으며, 이들은 패드(24, 68)와 외부 회로 장치와의 접착성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

<97> 그러면, 도 8 내지 도 10의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 9 내지 도 11a 내지 도 18b를 참조하여 설명하기로 한다.

<98> 먼저, 도 11a 및 11b에 도시한 바와 같이, 제1 실시예와 동일하게 기판(10) 위에 Zr, Ti, Hf, V, Ta, Ni, Cr, Nb, Co, Mn, Mo, W, Rh, Pd, Pt과 같은 금속을 50~1000Å 두께로 증착하여 확산방지막(221, 241, 261, 281)을 적층하고, 그 상부에 상기 확산방지막의 형성을 위해 적용한 금속 원소를 0.5~15 at% 함유하는 구리 합금을 증착하여 게이트 배선층(222, 242, 262, 282)을 적층한 다음, 사진 식각하여 게이트선(22), 게이트 패드(24), 게이트 전극(26)을 포함하는 게이트 배선과 유지 전극선(28)을 형성한다.

<99> 다음, 도 12a 및 12b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500Å 내지 5,000Å, 500Å 내지 2,000Å, 300Å 내지 600Å의 두께로 연속 증착하고, 이어 MoW를 스퍼터링 등의 방법으로 증착하여 도전체층(60)을 형성한 다음 그 위에 감광막(110)을 1 μ m 내지 2 μ m의 두께로 도포한다.

<100> 그 후, 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여, 도 13a 및 13b에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(62,

64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000Å 이하인 것이 좋다.

<101> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

<102> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

<103> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

<104> 이러한 얇은 두께의 감광막(114)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나

뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

<105> 이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

<106> 먼저, 도 14a 및 14b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

<107> 이렇게 하면, 도 14a 및 도 14b에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(68)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67, 64)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

<108> 이어, 도 15a 및 15b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF₆과 HC1의 혼합 기체나, SF₆과 O₂의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

<109> 이렇게 하면, 도 15a 및 15b에 나타낸 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(64) 하부의 중간층 패턴을 가리킨다.

<110> 이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

<111> 다음, 도 16a 및 16b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행

할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직 하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(42)의 두께를 조절하기가 쉽지 않기 때문이다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(67)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(57)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(57) 및 반도체 패턴(42)을 식각할 때 사용하는 식각 기체의 예로는 CF_4 와 $HC1$ 의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 들 수 있으며, CF_4 와 O_2 를 사용하면 균일한 두께로 반도체 패턴(42)을 남길 수 있다. 이때, 도 16b에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

<112> 이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

<113> 마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

<114> 앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다. 다음, 도 17a 및 도 17b에 도시한 바와 같이 보호막(70)을 형성한다.

<115> 이어, 도 18a 및 18b에 도시한 바와 같이, 보호막(70)을 게이트 절연막(30)과 함께 사진 식각하여 드레인 전극(66), 게이트 패드(24), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64)을 각각 드러내는 접촉 구멍(76, 74, 78, 72)을 형성한다. 이때, 패드(24, 68)를 드러내는 접촉 구멍(74, 78)의 면적은 $2\text{mm} \times 60\mu\text{m}$ 를 넘지 않으며, $0.5\text{mm} \times 15\mu\text{m}$ 이상인 것이 바람직하다.

<116> 마지막으로, 도 9 내지 도 11에 도시한 바와 같이, 400 \AA 내지 500 \AA 두께의 ITO 층을 증착하고 사진 식각하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)과 연결된 화소 전극(82), 게이트 패드(24)와 연결된 보조 게이트 패드(86) 및 데이터 패드(68)와 연결된 보조 데이터 패드(88)를 형성한다.

<117> 한편, ITO를 적층하기 전의 예열(pre-heating) 공정에서 사용하는 기체로는 질소를 사용하는 것이 바람직하며, 이는 접촉 구멍(72, 74, 76, 78)을 통해 드러난 금속막(24, 64, 66, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위함이다.

<118> 이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)을 분리함으로써 제조 공정을 단순화할 수 있다.

<119> 본 발명에 따른 방법은 색필터 위에 박막 트랜지스터 어레이를 형성하는 AOC(array on color filter) 구조에도 용이하게 적용될 수 있다.

<120> 도 19는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 20은 도 19에 도시한 박막 트랜지스터 기판을 절단선 XIX-XIX'을 따라 나타낸 단면도이다. 도 20에는 박막 트랜지스터 기판인 하부 기판과 이와 마주하는 상부 기판도 함께 도시하였다.

<121> 먼저, 하부 절연 기판(100) 위에 확산방지막(118, 119, 123) 및 구리 합금으로 이루어진 데이터 배선(120, 121, 124)이 형성되어 있다.

<122> 데이터 배선(120, 121, 124)은 세로 방향으로 뻗어 있는 데이터선(120), 데이터선(120)의 끝에 연결되어 있어 외부로부터 화상 신호를 전달받아 데이터선(120)으로 전달하는 데이터 패드(124) 및 데이터선(120)의 분지로 기판(100)의 하부로부터 이후에 형성되는 박막 트랜지스터의 반도체층(170)으로 입사하는 빛을 차단하는 광 차단부(121)를 포함한다. 여기서, 광 차단부(121)는 누설되는 빛을 차단하는 블랙 매트릭스의 기능도 함께 가지는데, 데이터선(120)과 분리하여 단절된 배선으로 형성할 수 있다.

<123> 하부 절연 기판(100)의 위에는 가장자리 부분이 데이터 배선(120, 121)의 가장자리와 중첩하는 적(R), 녹(G), 청(B)의 색필터(131, 132, 133)가 각각 형성되어 있다. 여기서, 색필터(131, 132, 133)는 데이터선(120)을 모두 덮도록 형성할 수 있다.

<124> 데이터 배선(120, 121, 124) 및 색필터(131, 132, 133) 위에는 베퍼층(140)이 형성되어 있다. 여기서, 베퍼층(140)은 색필터(131, 132, 133)로부터의 아웃개싱(outgassing)을 막고 색필터 자체가 후속 공정에서의 열 및 플라스마 에너지에 의하여

손상되는 것을 방지하기 위한 층이다. 또, 베퍼층(140)은 최하부의 데이터 배선(120, 121, 124)과 박막 트랜지스터 어레이를 분리하고 있으므로 이를 사이의 기생 용량 저감을 위해서는 유전율이 낮고 두께가 두꺼울수록 유리하다.

<125> 베퍼층(140) 위에는 상부에 알루미늄 및 알루미늄 합금 등의 물질로 이루어진 하층(501)과 몰리브덴, 몰리브덴 합금 등의 물질로 이루어진 상층(502)을 포함하는 이중 층 구조의 게이트 배선이 형성되어 있다.

<126> 게이트 배선은 가로 방향으로 뻗어 데이터선(120)과 교차하여 단위 화소를 정의하는 게이트선(150), 게이트선(150)의 끝에 연결되어 있어 외부로부터의 주사 신호를 인가 받아 게이트선(150)으로 전달하는 게이트 패드(152) 및 게이트선(150)의 일부인 박막 트랜지스터의 게이트 전극(151)을 포함한다.

<127> 여기서, 게이트선(150)은 후술할 화소 전극(410)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(410)과 게이트선(150)의 중첩으로 발생하는 유지 용량이 충분하지 않을 경우 유지 용량용 공통 전극을 형성할 수도 있다.

<128> 이와 같이, 게이트 배선을 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하며, Al(또는 Al 합금)\Mo의 이중층이 그 예이다.

<129> 게이트 배선(150, 151, 152) 및 베퍼층(140) 위에는 저온 증착 게이트 절연막(160)이 형성되어 있다. 이 때, 저온 증착 게이트 절연막(160)은 유기 절연막, 저온 비정질 산화 규소막, 저온 비정질 질화 규소막 등으로 형성할 수 있다. 본 발명에 따른 박막 트

랜지스터 구조에서는 색필터가 하부 기판에 형성되므로, 게이트 절연막은 고온으로 증착되는 통상의 절연막이 아닌 저온에서 증착이 가능한 예를 들어, 250°C 이하의 저온 조건에서 증착이 가능한 저온 증착 절연막을 사용한다.

<130> 그리고, 게이트 전극(151)의 게이트 절연막(160) 위에는 이중층 구조의 반도체층(171)이 섬 모양으로 형성되어 있다. 이중층 구조의 반도체층(171)에서 하층 반도체층(701)은 밴드 갭이 높은 비정질 규소로 이루어지고, 상층 반도체층(702)은 하층 반도체(701)에 비하여 밴드 갭이 낮은 통상의 비정질 규소로 이루어진다. 예를 들어, 하층 반도체층(701)의 밴드 갭을 1.9~2.1 eV로, 상층 반도체층(702)의 밴드 갭을 1.7~1.8 eV로 하여 형성할 수 있다. 여기서, 하층 반도체층(701)이 50~200 Å의 두께로 형성하고, 상층 반도체층(702)은 1000~2000 Å의 두께로 형성한다.

<131> 이와 같이, 밴드 갭이 서로 다른 상층 반도체층(702)과 하층 반도체층(701)의 사이에는 두 층의 밴드 갭의 차이에 해당하는 만큼의 밴드 오프셋이 형성된다. 이 때, TFT가 온(ON) 상태가 되면, 두 반도체층(701, 702)의 사이에 위치하는 밴드 오프셋 영역에 채널이 형성된다. 이 밴드 오프셋 영역은 기본적으로 동일한 원자 구조를 가지고 있으므로, 결함이 적어 양호한 TFT의 특성을 기대할 수 있다. 반도체층(171)은 단일층으로 형성할 수도 있다.

<132> 반도체층(171) 위에는 인(P) 따위의 n형 불순물이 고농도로 도핑되어 있는 비정질 규소 또는 미세 결정화된 규소 또는 금속 실리사이드 따위를 포함하는 저항성 접촉층(ohmic contact layer)(182, 183)이 서로 분리되어 형성되어 있다.

<133> 저항성 접촉층(182, 183) 위에는 ITO로 이루어진 소스용 및 드레인용 전극(412, 411) 및 화소 전극(410)을 포함하는 화소 배선(410, 411, 412)이 형성되어 있다. 소스

용 전극(412)은 게이트 절연막(160) 및 버퍼층(140)에 형성되어 있는 접촉 구멍(161)을 통하여 데이터선(120)과 연결되어 있다. 드레인용 전극(411)은 화소 전극(410)과 연결되어 있고, 박막 트랜지스터로부터 화상 신호를 받아 화소 전극(410)으로 전달한다. 화소 배선(410, 411, 412)은 ITO의 투명한 도전 물질로 만들어진다.

<134> 또한, 화소 배선(410, 411, 412)과 동일한 층에는 접촉 구멍(162, 164)을 통하여 게이트 패드(152) 및 데이터 패드(124)와 각각 연결되어 있는 보조 게이트 패드(413) 및 보조 데이터 패드(414)가 형성되어 있다. 여기서, 보조 게이트 패드(413)는 게이트 패드(152)의 상부막(502)인 몰리브덴-텅스텐 합금막과 직접 접촉하고 있으며, 보조 데이터 패드(414) 또한 데이터 패드(124)의 상부막(202)인 구리 합금막과 직접 접촉하고 있다. 화소 전극(410)은 또한 이웃하는 게이트선(150) 및 데이터선(120)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다.

<135> 소스용 및 드레인용 전극(412, 411)의 상부에는 박막 트랜지스터를 보호하기 위한 보호막(190)이 형성되어 있으며, 그 상부에는 광 흡수가 우수한 짙은 색을 가지는 감광성 유색 유기막(430)이 형성되어 있다. 이때, 유색 유기막(430)은 박막 트랜지스터의 반도체층(171)으로 입사하는 빛을 차단하는 역할을 하고, 유색 유기막(430)의 높이를 조절하여 하부 절연 기판(100)과 이와 마주하는 상부 절연 기판(200) 사이의 간격을 유지하는 스페이서로 사용된다. 여기서, 보호막(190)과 유기막(430)은 게이트선(150)과 데이터선(120)을 따라 형성될 수도 있으며, 유기막(430)은 게이트 배선과 데이터 배선 주위에서 누설되는 빛을 차단하는 역할을 가질 수 있다.

<136> 한편, 상부 기판(200)에는 ITO 또는 IZO로 이루어져 있으며, 화소 전극(410)과 함께 전기장을 생성하는 공통 전극(210)이 전면적으로 형성되어 있다.

<137> 그러면, 이러한 본 발명의 실시예에 따른 박막 트랜지스터 기판의 제조 방법에 대하여 도 21 내지 28과 앞서의 도 19 및 도 20을 참조하여 상세히 설명한다.

<138> 먼저, 도 21에 도시한 바와 같이, Zr, Ti, Hf, V, Ta, Ni, Cr, Nb, Co, Mn, Mo, W, Rh, Pd, Pt 과 같은 금속을 50~1000Å 두께로 증착하여 확산방지막(120, 121, 124)을 적층한다. 그 상부에 상기 확산방지막의 형성을 위해 적용한 금속 원소를 0.5~15 at% 함유하는 구리 합금을 증착한 다음, 마스크를 이용한 사진 식각 공정으로 견식 또는 습식 식각하여, 하부 절연 기판(100) 위에 데이터선(120), 데이터 패드(124) 및 광차단부(121)를 포함하는 데이터 배선(120, 121, 124)을 형성한다. 이후 대기압하 약 400 °C 온도에서 열처리하여 상기 확산방지막을 실리사이드화하도록 한다.

<139> 이어, 도 22에 도시한 바와 같이 적(R), 녹(G), 청(B)의 안료를 포함하는 감광성 물질을 차례로 도포하고 마스크를 이용한 사진 공정으로 패터닝하여 적(R), 녹(G), 청(B)의 색필터(131, 132, 133)를 차례로 형성한다. 이 때, 적(R), 녹(G), 청(B)의 색필터(131, 132, 133)는 세 장의 마스크를 사용하여 형성하지만, 제조 비용을 줄이기 위하여 하나의 마스크를 이동하면서 형성할 수도 있다. 또한, 레이저(laser) 전사법이나 프린트(print)법을 이용하면 마스크를 사용하지 않고 형성할 수도 있어, 제조 비용을 최소화할 수도 있다. 이때, 도면에서 보는 바와 같이, 적(R), 녹(G), 청(B)의 색필터(131, 132, 133)의 가장자리는 데이터선(120)과 중첩되도록 형성하는 것이 바람직하다. 이어, 도 22에서 보는 바와 같이, 절연 기판(100) 상부에 버퍼층(140)을 형성한다.

<140> 이어, 알루미늄 또는 알루미늄 합금과 몰리브덴 또는 몰리브덴 합금과 같은 도전 물질을 스퍼터링 따위의 방법으로 연속 증착하고 마스크를 이용한 사진 식각 공정으로 패터닝하여, 버퍼층(140) 위에 게이트선(150), 게이트 전극(151) 및 게이트 패드(152)를

포함하는 게이트 배선(150, 151, 152)을 형성한다. 이 때, 게이트 배선(150, 151, 152)은 단일층 구조로 형성할 수 있다.

<141> 이어, 도 24에 보인 바와 같이, 게이트 배선(150, 151, 152) 및 유기 절연막(140) 위에 저온 증착 게이트 절연막(160), 제 1 비정질 규소막(701), 제 2 비정질 규소막(702) 및 불순물이 도핑된 비정질 규소막(180)을 순차적으로 증착한다.

<142> 저온 증착 게이트 절연막(160)은 250°C 이하의 증착 온도에서도 증착될 수 있는 유기 절연막, 저온 비정질 산화 규소막, 저온 비정질 질화 규소막 등을 사용하여 형성할 수 있다.

<143> 제 1 비정질 규소막(701)은 밴드 갭이 높은 예를 들어, 1.9~2.1 eV의 밴드 갭을 가지는 비정질 규소막으로 형성하고, 제 2 비정질 규소막(702)은 밴드 갭이 제 1 비정질 규소막(701)보다는 낮은 예를 들어, 1.7~1.8 eV의 밴드 갭을 가지는 통상의 비정질 규소막으로 형성한다. 이 때, 제 1 비정질 규소막(701)은 비정질 규소막의 원료가스인 SiH₄에 CH₄, C₂H₂, 또는, C₂H₆등을 적절한 양으로 첨가하여 CVD법에 의하여 증착할 수 있다. 예를 들어, CVD 장치에 SiH₄ : CH₄를 1:9의 비율로 투입하고, 증착 공정을 진행하면, C가 50%정도의 함유되며, 2.0~2.3 eV의 밴드 갭을 가지는 비정질 규소막을 증착할 수 있다. 이와 같이, 비정질 규소층의 밴드 갭은 증착 공정 조건에 영향을 받는데, 탄소화합물의 첨가량에 따라 대개 1.7~2.5 eV 범위에서 밴드 갭을 용이하게 조절할 수 있다

<144> 이 때, 저온 증착 게이트 절연막(160), 제 1 비정질 규소막(701) 및 제 2 비정질 규소막(702), 불순물이 도핑된 비정질 규소막(180)은 동일한 CVD 장치에서 진공의 깨짐이 없이 연속적으로 증착할 수 있다.

<145> 다음, 도 25에 도시한 바와 같이, 제 1 비정질 규소막(701), 제 2 비정질 규소막(702) 및 불순물이 도핑된 비정질 규소막(180)을 마스크를 이용한 사진 식각 공정으로 패터닝하여 섬 모양의 반도체층(171) 및 저항성 접촉층(181)을 형성하고 동시에, 저온 증착 게이트 절연막(160)과 유기 절연막(140)에 데이터선(120), 게이트 패드(152) 및 데이터 패드(124)를 각각 드러내는 접촉 구멍(161, 162, 164)을 형성한다.

<146> 이때, 게이트 전극(151)의 상부를 제외한 부분에서는 제 1, 제 2 비정질 규소막(701, 702) 및 불순물이 도핑된 비정질 규소막(180)을 모두 제거해야 하며, 게이트 패드(152) 상부에서는 제 1 및 제 2 비정질 규소막(701, 702) 및 불순물이 도핑된 비정질 규소막(180)과 함께 게이트 절연막(160)도 제거해야 하며, 데이터선(120) 및 데이터 패드(124) 상부에서는 제 1 및 제 2 비정질 규소막(701, 702), 불순물이 도핑된 비정질 규소막(180) 및 저온 증착 게이트 절연막(160)과 함께 유기 절연막(140)도 제거해야 한다.

<147> 이를 하나의 마스크를 이용한 사진 식각 공정으로 형성하기 위해서는 부분적으로 다른 두께를 가지는 감광막 패턴을 식각 마스크로 사용해야 한다. 이에 대하여 도 26과 도 27을 함께 참조하여 설명한다.

<148> 우선, 도 26에 보인 바와 같이, 불순물이 도핑된 비정질 규소막(180)의 상부에 감광막을 $1\mu\text{m}$ 내지 $2\mu\text{m}$ 의 두께로 도포한 후, 마스크를 이용한 사진 공정을 통하여 감광막에 빛을 조사한 후 현상하여 감광막 패턴(312, 314)을 형성한다.

<149> 이 때, 감광막 패턴(312, 314) 중에서 게이트 전극(151)의 상부에 위치한 제 1 부분(312)은 나머지 제 2 부분(314)보다 두께가 두껍게 되도록 형성하며, 데이터선(120), 데이터 패드(124) 및 게이트 패드(152)의 일부 위에는 감광막이 존재하지 않도록 한다.

제 2 부분(314)의 두께를 제 1 부분(312)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

<150> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는 데, 여기에서는 양성 감광막을 사용하는 경우에 대하여 설명한다.

<151> 노광기의 분해능보다 작은 패턴, 예를 들면 B 영역에 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 형성해 둘으로써 빛의 조사량을 조절할 수 있는 마스크(1000)를 통하여 감광막에 빛을 조사하면, 조사되는 빛의 양 또는 세기에 따라 고분자들이 분해되는 정도가 다르게 된다. 이때, 빛에 완전히 노출되는 C 영역의 고분자들이 완전히 분해되는 시기에 맞추어 노광을 중단하면, 빛에 완전히 노출되는 부분에 비하여 슬릿이나 반투명막이 형성되어 있는 B 영역을 통과하는 빛의 조사량이 적으로 B 영역의 감광막은 일부만 분해되고 나머지는 분해되지 않은 상태로 남는다. 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 함은 물론이다.

<152> 이러한 감광막을 현상하면, 분자들이 분해되지 않은 제 1 부분(312)은 거의 그대로 남고, 빛이 적게 조사된 제 2 부분(314)은 제 1 부분(312)보다 얇은 두께로 일부만 남고, 빛에 완전히 노광된 C 영역에 대응하는 부분에는 감광막이 거의 제거된다. 이러한 방법을 통하여 위치에 따라 두께가 서로 다른 감광막 패턴이 만들어진다.

<153> 다음, 도 27에 도시한 바와 같이, 이러한 감광막 패턴(312, 314)을 식각 마스크로 사용하여 불순물이 도핑된 비정질 규소막(180), 제 2 비정질 규소막(702), 제 1 비정질 규소막(702) 및 저온 증착 게이트 절연막(160)을 견식 식각하여 게이트 패드(152)를 드러내는 접촉 구멍(162)을 완성하고, C 영역의 버퍼층(140)을 드러낸다. 계속해서, 감광

막 패턴(312, 314)을 식각 마스크로 사용하여 C 영역의 버퍼층(140)을 건식 식각하여 데이터선(120) 및 데이터 패드(124)를 드러내는 접촉 구멍(161, 164)을 완성한다.

<154> 이어, 감광막의 제 2 부분(314)을 완전히 제거하는 작업을 진행한다. 여기서, 제 2 부분(314)의 감광막 찌꺼기를 완전히 제거하기 위하여 산소를 이용한 애싱 공정을 추가할 수도 있다.

<155> 이렇게 하면, 감광막 패턴의 제 2 부분(314)은 제거되고, 불순물이 도평된 비정질 규소막(180)이 드러나게 되며, 감광막 패턴의 제 1 부분(312)은 감광막 패턴의 제 2 부분(312)의 두께만큼 감소된 상태로 남게 된다.

<156> 다음, 남아 있는 감광막 패턴의 제 1 부분(312)을 식각 마스크로 사용하여 불순물이 도평된 비정질 규소막(180) 및 그 하부의 제 1 및 제 2 비정질 규소막(701, 702)을 식각하여 제거함으로써 게이트 전극(151) 상부의 저온 증착 게이트 절연막(160) 위에 섬모양의 반도체층(171)과 저항성 접촉층(181)을 남긴다.

<157> 마지막으로 남아 있는 감광막의 제 1 부분(312)을 제거한다. 여기서, 제 1 부분(312)의 감광막 찌꺼기를 완전히 제거하기 위하여 산소를 이용한 애싱 공정을 추가할 수도 있다.

<158> 다음, 도 28에서 보는 바와 같이, ITO층을 증착하고 마스크를 이용한 사진 식각 공정으로 패터닝하여 화소 전극(410), 소스용 전극(412), 드레인용 전극(411), 보조 게이트 패드(413) 및 보조 데이터 패드(414)를 형성한다.

<159> 이어, 소스용 전극(412)과 드레인용 전극(411)을 식각 마스크로 사용하여 이를 사이의 저항성 접촉층(181)을 식각하여 두 부분(182, 183)으로 분리된 저항성 접촉층 패턴

을 형성하여, 소스용 전극(412)과 드레인용 전극(411) 사이로 반도체층(171)을 노출시킨다.

<160> 마지막으로 도 19 및 도 20에서 보는 바와 같이, 하부 절연 기판(100)의 상부에 절화 규소나 산화 규소 등의 절연 물질과 검은색 안료를 포함하는 감광성 유기 물질 등의 절연 물질을 차례로 적층하고 마스크를 이용한 사진 공정으로 노광 현상하여 유색 유기 막(430)을 형성하고, 이를 식각 마스크로 사용하여 그 하부의 절연 물질을 식각하여 보호막(190)을 형성한다. 이때, 유색 유기막(430)은 박막 트랜지스터로 입사하는 빛을 차단하며, 게이트 배선 또는 데이터 배선의 상부에 형성하여 배선의 주위에서 누설되는 빛을 차단하는 기능을 부여할 수도 있다. 또한 본 발명의 실시예와 같이 유기막(430)의 높이를 조절하여 간격 유지재로 사용할 수도 있다.

<161> 한편, 상부 절연 기판(200)의 위에는 ITO 또는 IZO의 투명한 도전 물질을 적층하여 공통 전극(210)을 형성한다.

<162> 이상과 같은 실시예에서 구리 합금 배선은 게이트나 데이터 배선에 적용되었다. 그러나 이러한 구리 합금은 기판상에 형성되는 모든 금속층에 대하여 적용될 수 있는 것으로서, 특히 소스 드레인 전극에도 용이하게 적용될 수 있음이 물론이다.

【발명의 효과】

<163> 이상과 같은 본 발명에 의하면 구리 배선을 적용하여 액정 표시 장치용 박막 트랜지스터 기판을 제조하므로 낮은 저항과 높은 전도도를 구현할 수 있게 된다.

<164> 또한 얇은 두께의 확산방지막과 동일 원소를 첨가한 구리 합금을 사용하여 구리 배선을 형성하였으므로 이후 동시 식각이 가능하고 후속 공정에서 기판과의 상호 확산을 방지할 수 있다.

<165> 이상, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

실리콘 원소를 포함하는 기판;

상기 기판상에 형성된 확산방지막; 및

상기 확산방지막상에 형성되고, 상기 확산방지막 형성 물질이 0.5~15 at% 범위로 포함된 구리 합금층을 포함하는 액정 표시 장치의 박막 트랜지스터 기판.

【청구항 2】

제1항에 있어서, 상기 확산방지막은 Zr, Ti, Hf, V, Ta, Ni, Cr, Nb, Co, Mn, Mo, W, Rh, Pd 및 Pt로 이루어진 군에서 선택된 적어도 하나의 실리사이드(silicide) 화합물로 이루어진 것을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 기판.

【청구항 3】

제1항에 있어서, 상기 확산방지막의 두께는 50~5000 Å 범위인 것을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 기판.

【청구항 4】

제1항에 있어서, 상기 구리 합금층은 게이트 배선, 소스드레인 전극 및 데이터 배선중 어느 하나를 이루는 금속층인 것을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 기판.

【청구항 5】

제1항에 있어서, 상기 기판은 실리콘 기판, 글래스 기판 및 플라스틱 기판중 어느 하나인 것을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 기판.

【청구항 6】

실리콘 기판상에 확산방지막을 형성하는 단계;

구리와 상기 확산방지막에 포함된 원소가 0.5~15 at%범위로 포함된 합금을 증착하여 게이트 배선층을 형성하는 단계;

상기 게이트 배선층을 식각하여 게이트선, 게이트 패드 및 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계;

게이트 절연막을 적층하는 단계;

반도체층 패턴 및 저항성 접촉층 패턴을 형성하는 단계;

데이터 배선 물질을 도포하고 패터닝하여 상기 게이트선과 교차하는 데이터선, 상기 데이터선과 연결되어 있는 데이터 패드, 상기 데이터선과 연결되어 있으며 상기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계;

보호막을 형성하는 단계;

상기 게이트 절연막과 함께 상기 보호막을 패터닝하여 상기 게이트 패드, 상기 데이터 패드 및 상기 드레인 전극을 각각 드러내는 접촉 구멍을 형성하는 단계;

투명 도전막을 적층하는 단계; 및

상기 투명 도전막을 식각하여 상기 게이트 패드, 상기 데이터 패드 및 상기 드레인 전극과 각각 연결되는 보조 게이트 패드, 보조 데이터 패드 및 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 7】

제6항에 있어서, 상기 확산방지막은
Zr, Ti, Hf, V, Ta, Ni, Cr, Nb, Co, Mn, Mo, W, Rh, Pd 및 Pt로 이루어진 군에서
선택된 적어도 하나의 화합물을 50~5000Å 범위로 증착하는 단계와;
열처리 공정에 의해 실리사이드(silicide) 화합물로 변환하는 단계를 통하여 제조
되는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 8】

제7항에 있어서, 상기 열처리 공정은 후속되는 게이트 절연막의 적층시에 적용되는
증착 처리 공정인 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조
방법.

【청구항 9】

제7항에 있어서, 상기 열처리 공정은 진공하, 대기압하 또는 N₂ 가스 분위기하,
200~500°C 온도에서 수행되는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터
기판의 제조 방법.

【청구항 10】

기판상에 확산방지막을 형성하는 단계;
구리와 상기 확산방지막에 포함된 원소가 0.5~15 at% 범위로 포함된 합금을 증착
하여 게이트 배선층을 형성하는 단계;
상기 게이트 배선층을 식각하여 게이트선, 게이트 패드 및 게이트 전극을 포함하는
게이트 패턴을 형성하는 단계;

게이트 절연막을 적층하는 단계;

반도체층, 저항성 접촉층, 및 도전체층을 적층하는 단계;

제 1 부분, 상기 제1 부분보다 두께가 두꺼운 제2 부분, 상기 제1 두께보다 두께가 얇은 제3 부분을 가지는 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 사용하여 데이터선과 이와 연결된 데이터 패드, 소스 전극 및 드레인 전극을 포함하는 데이터 배선, 그리고 저항성 접촉층 패턴 및 반도체층 패턴을 형성하는 단계;

보호막을 형성하는 단계;

상기 게이트 절연막과 함께 상기 보호막을 패터닝하여 상기 게이트 패드, 상기 데이터 패드 및 상기 드레인 전극을 각각 드러내는 접촉 구멍을 형성하는 단계;

투명 도전막을 적층하는 단계; 및

상기 투명 도전막을 식각하여, 상기 게이트 패드, 상기 데이터 패드 및 상기 드레인 전극과 각각 연결되는 보조 게이트 패드, 보조 데이터 패드 및 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 11】

제10항에 있어서, 상기 확산방지막은

Zr, Ti, Hf, V, Ta, Ni, Cr, Nb, Co, Mn, Mo, W, Rh, Pd 및 Pt로 이루어진 군에서 선택된 적어도 하나의 화합물을 50~5000Å 범위로 증착하는 단계와;

열처리 공정에 의해 실리사이드(silicide) 화합물로 변환하는 단계를 통하여 제조 되는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 12】

제11항에 있어서, 상기 열처리 공정은 후속되는 게이트 절연막의 적층시에 적용되는 증착 처리 공정인 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 13】

제11항에 있어서, 상기 열처리 공정은 진공하, 대기압하 또는 N_2 가스 분위기하, 200~500°C 온도에서 수행되는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 14】

제10항에 있어서, 상기 제1 부분은 상기 소스 전극과 상기 드레인 전극 사이에 위치하도록 형성하고, 상기 제2 부분은 상기 데이터 배선 상부에 위치하도록 형성하는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 15】

절연 기판상에 확산방지막을 형성하는 단계;

구리와 상기 확산방지막에 포함된 원소가 0.5~15 at% 범위로 포함된 합금을 증착하여 데이터선을 포함하는 데이터 배선을 형성하는 단계;

상기 기판 상부에 적, 녹, 청의 색필터를 형성하는 단계;

버퍼 물질을 증착하여 상기 데이터 배선 및 상기 색필터를 덮는 버퍼층을 형성하는 단계;

상기 버퍼층 상부에 게이트 배선층 형성하는 단계;

상기 게이트 배선층을 식각하여 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성하는 단계;

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계;

상기 게이트 절연막상에 섬모양의 저항성 접촉층과 반도체층 패턴을 형성하는 동시에 상기 게이트 절연막과 상기 베퍼층에 상기 데이터선 일부를 드러내는 제1 접촉 구멍을 형성하는 단계;

상기 섬 모양의 저항성 접촉층 패턴상에 투명도전물질을 도포후 식각하여, 서로 분리되어 형성되어 있으며 동일한 층으로 만들어진 소스용 전극 및 드레인용 전극과, 상기 드레인용 전극과 연결된 화소 전극을 포함하는 화소 배선을 형성하는 단계;

상기 소스용 전극과 상기 드레인용 전극의 사이에 위치하는 상기 저항성 접촉층 패턴의 노출 부분을 제거하여 상기 저항성 접촉층 패턴을 양쪽으로 분리하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【청구항 16】

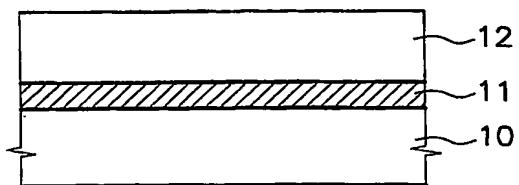
제15항에 있어서, 상기 확산방지막은

Zr, Ti, Hf, V, Ta, Ni, Cr, Nb, Co, Mn, Mo, W, Rh, Pd 및 Pt로 이루어진 군에서 선택된 적어도 하나의 화합물을 50~5000Å 범위로 증착하는 단계와;

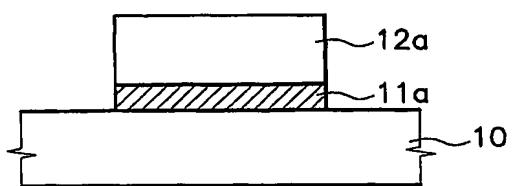
열처리 공정에 의해 실리사이드(silicide) 화합물로 변환하는 단계를 통하여 제조 되는 것을 특징으로 하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【도면】

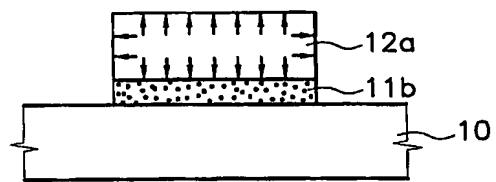
【도 1a】



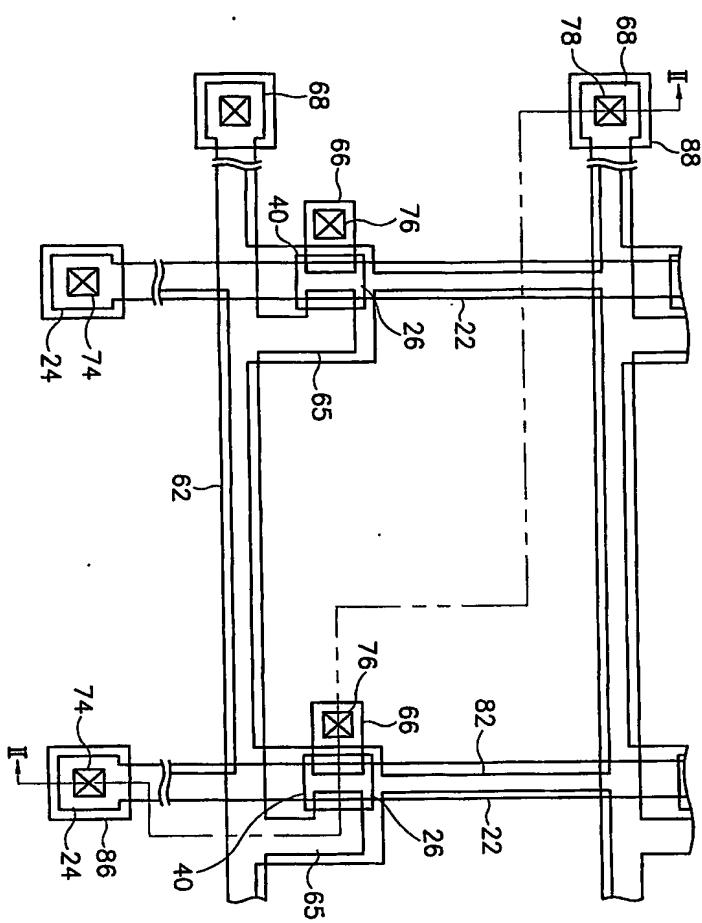
【도 1b】



【도 1c】



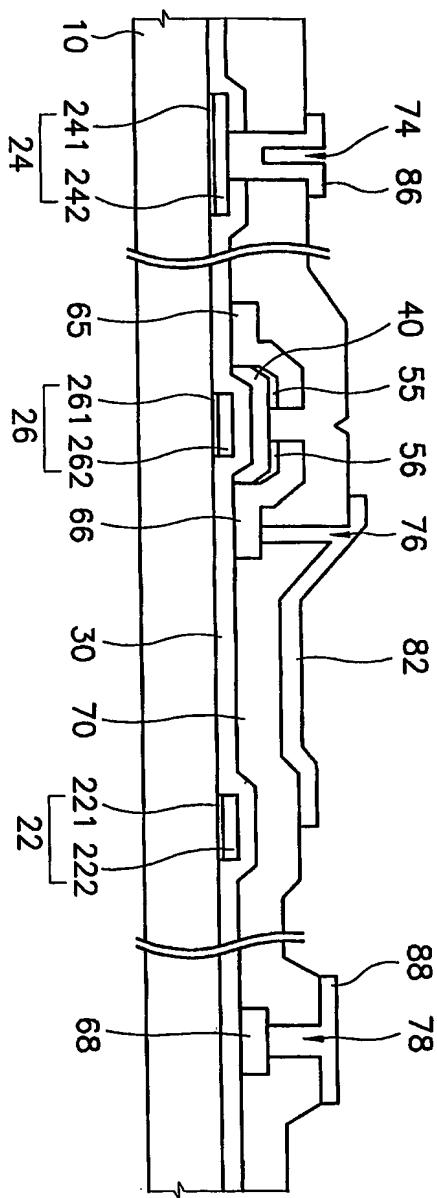
【도 2】



1020020072001

출력 일자: 2002/12/11

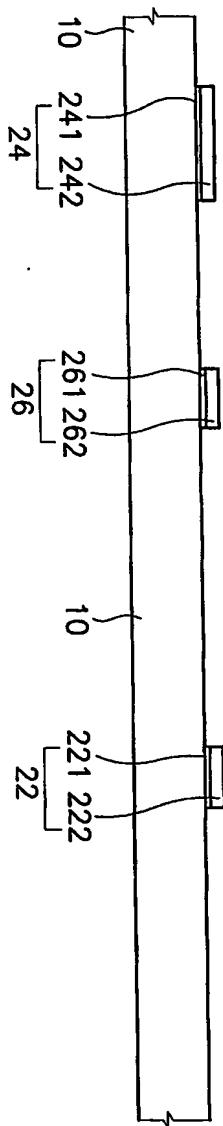
【도 3】



1020020072001

출력 일자: 2002/12/11

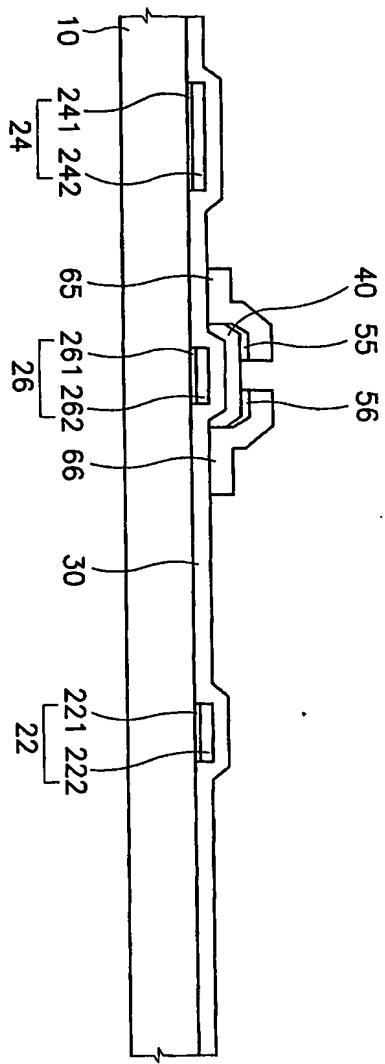
【도 4】



1020020072001

출제 일자: 2002/12/11

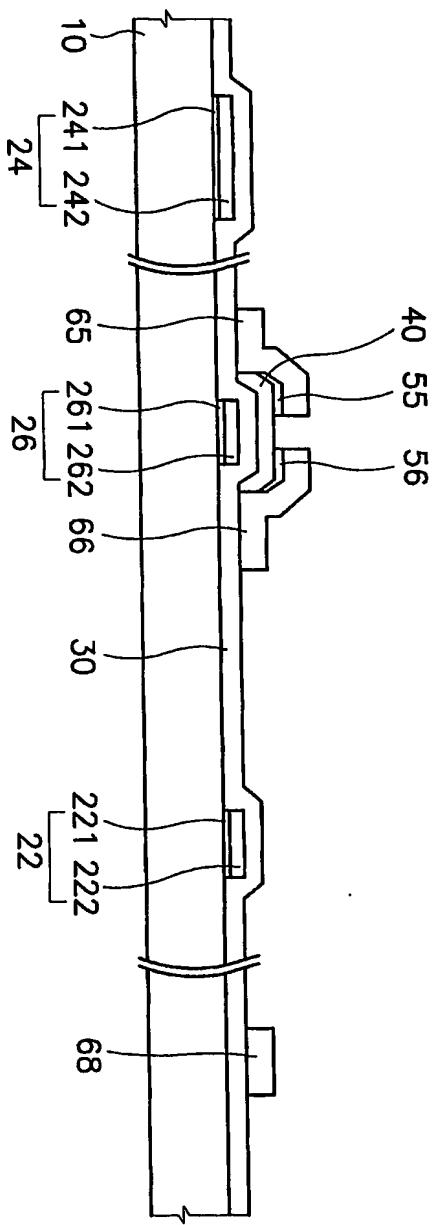
【도 5】



1020020072001

출제 일자: 2002/12/11

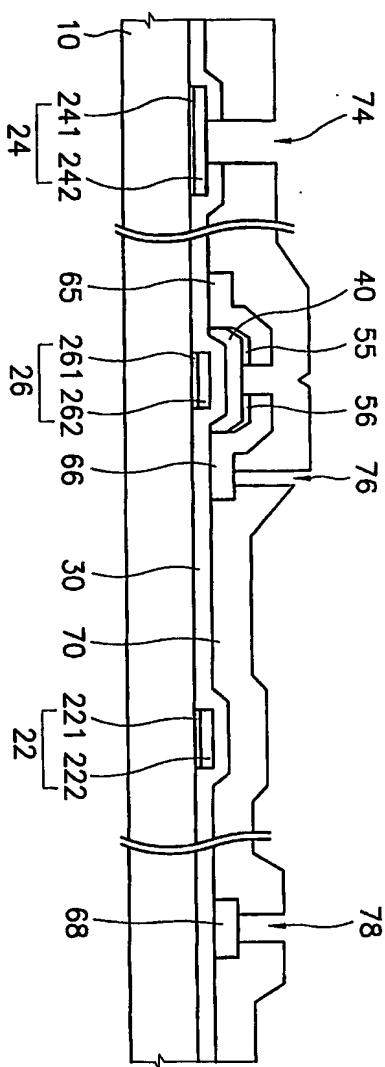
【도 6】



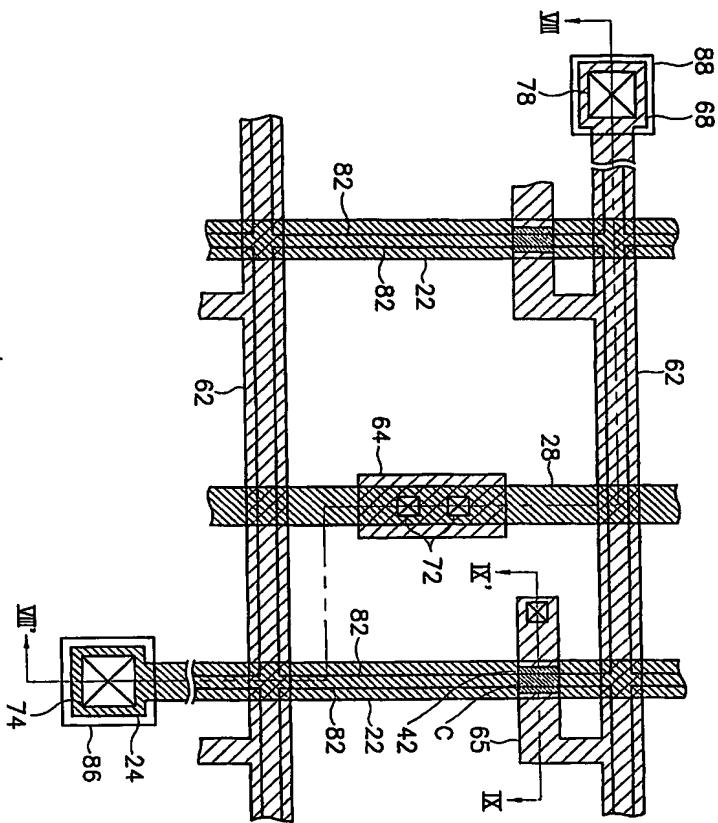
1020020072001

출 력 일자: 2002/12/11

【도 7】



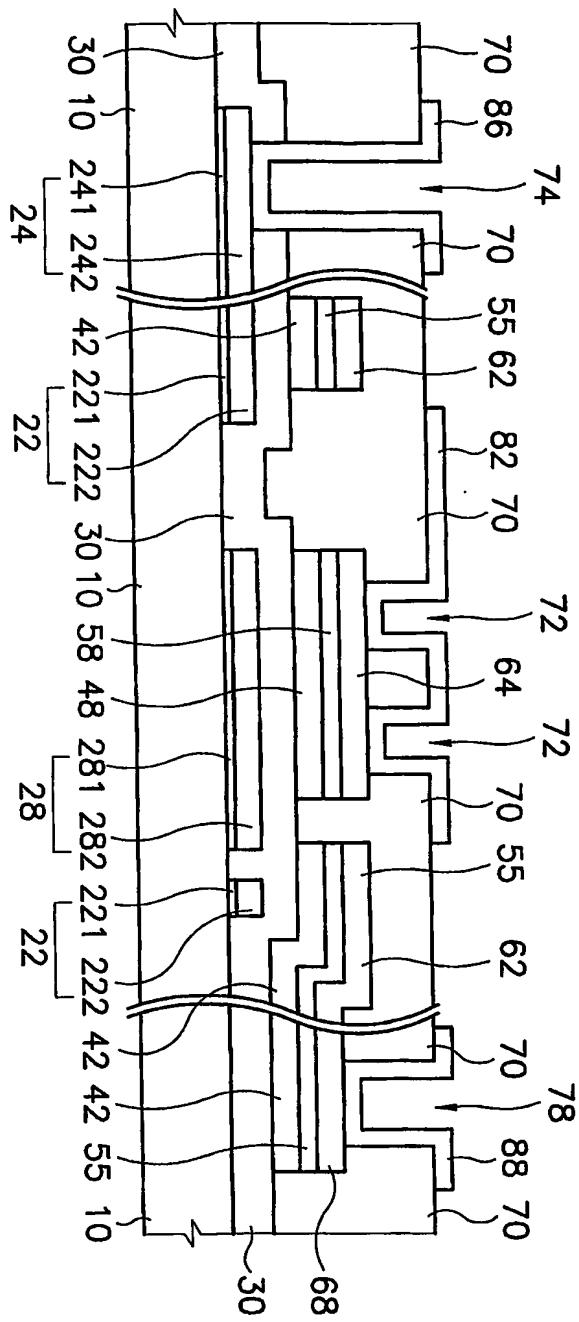
【도 8】



1020020072001

출력 일자: 2002/12/11

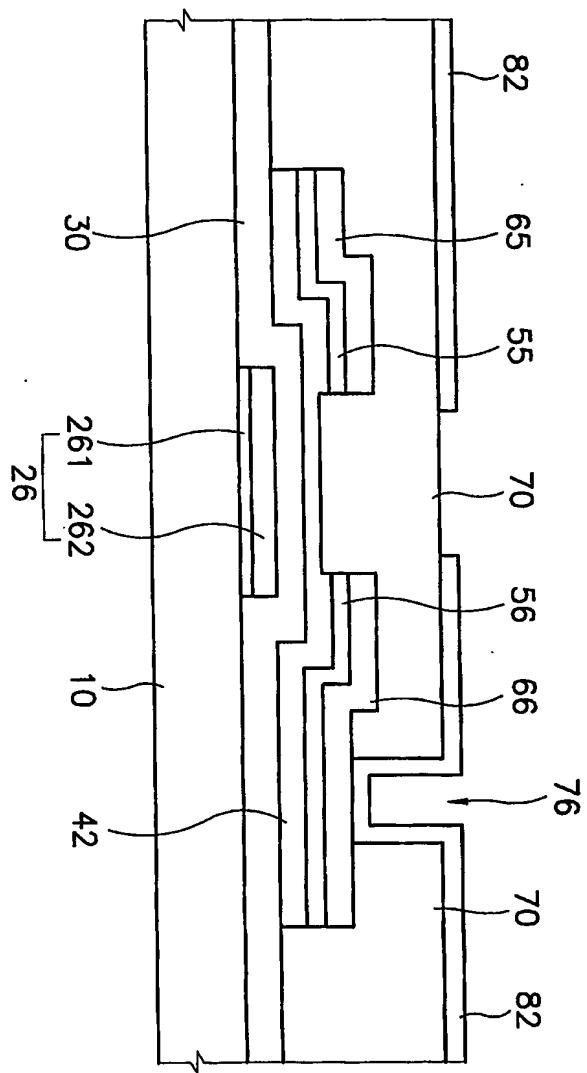
【도 9】



1020020072001

출력 일자: 2002/12/11

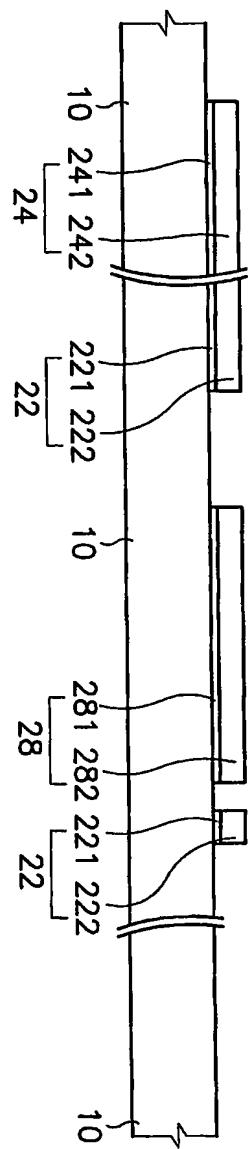
【도 10】



1020020072001

출 력 일자: 2002/12/11

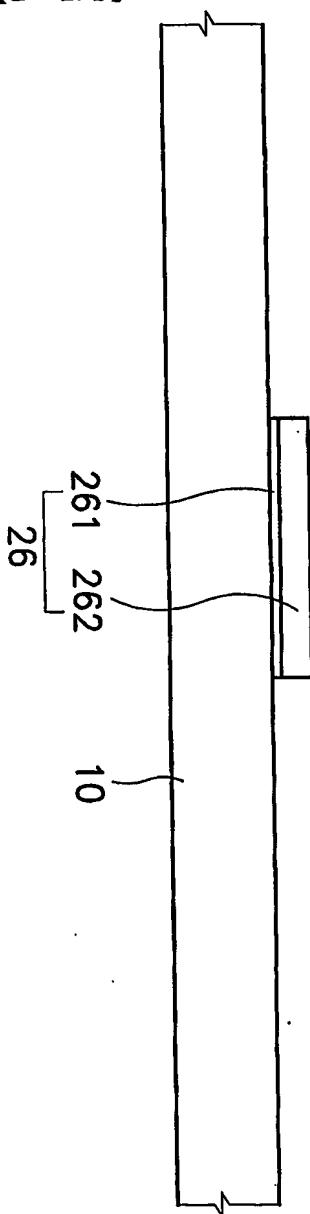
【도 11a】



1020020072001

출력 일자: 2002/12/11

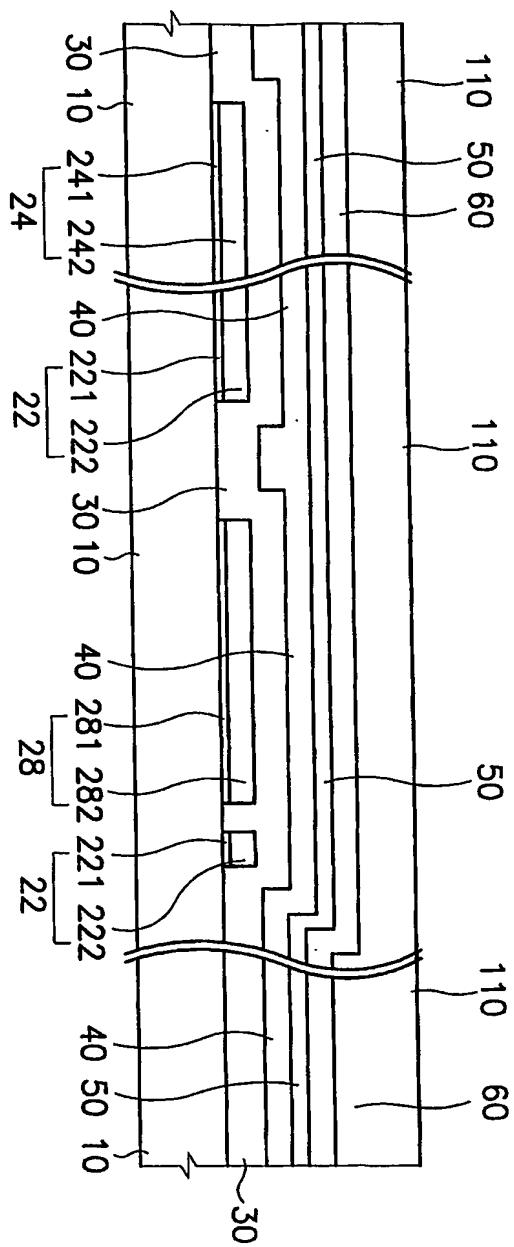
【도 11b】



1020020072001

출력 일자: 2002/12/11

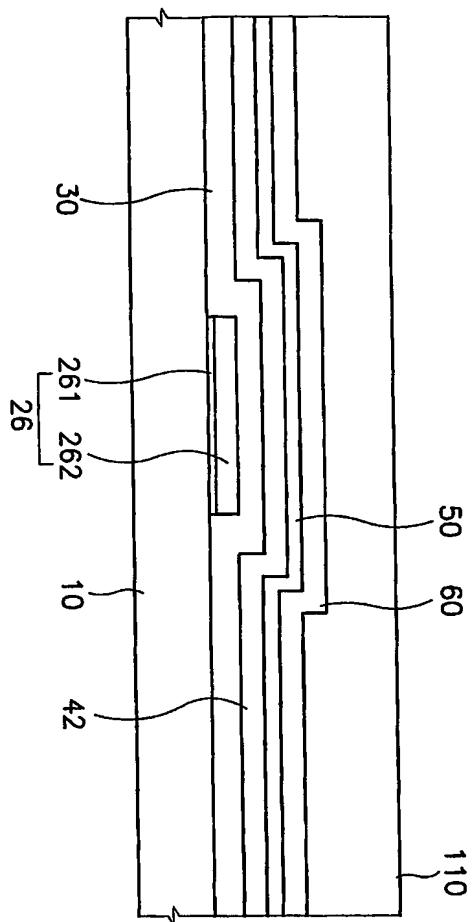
【도 12a】



1020020072001

출력 일자: 2002/12/11

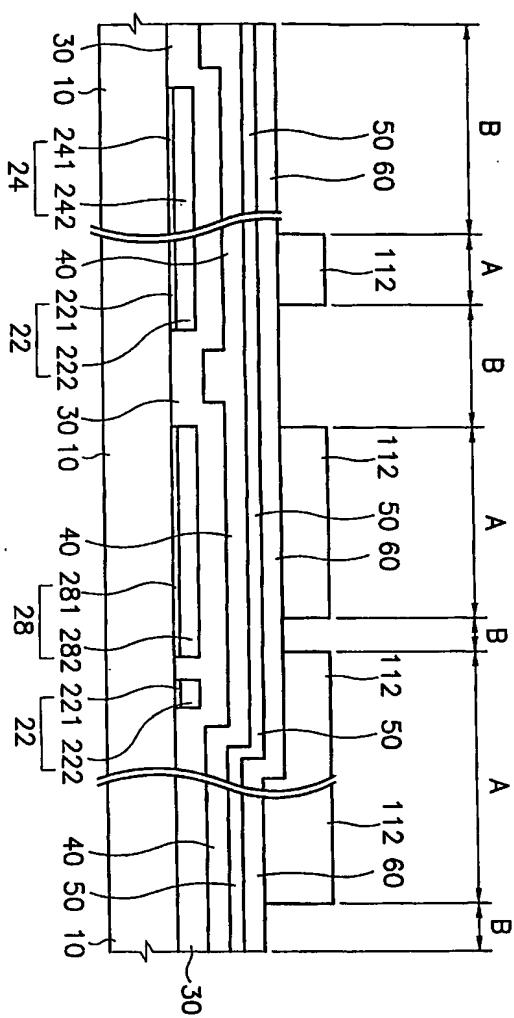
【도 12b】



1020020072001

출력 일자: 2002/12/11

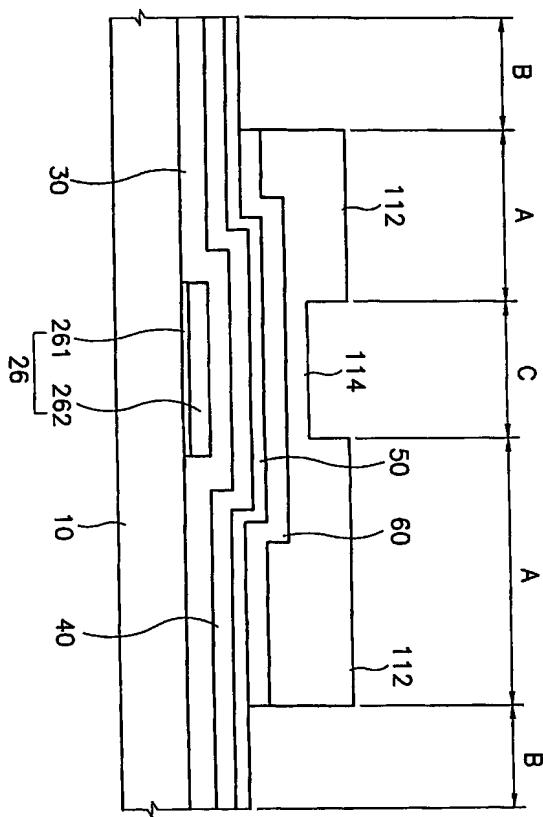
【도 13a】



1020020072001

출력 일자: 2002/12/11

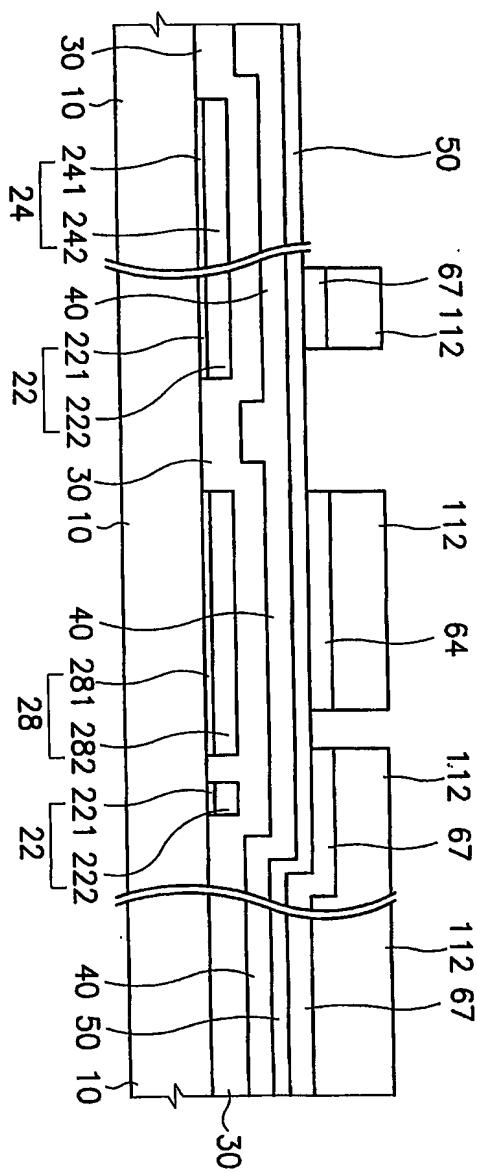
【도 13b】



1020020072001

출력 일자: 2002/12/11

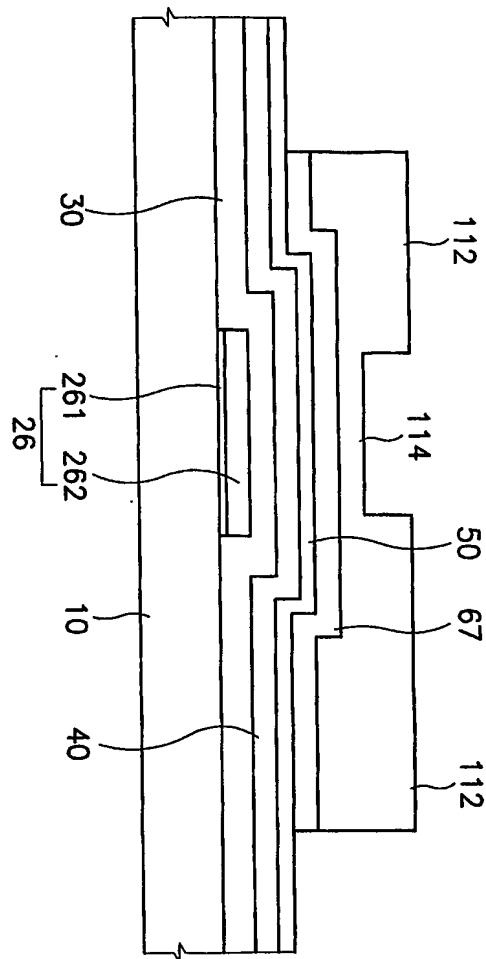
【도 14a】



1020020072001

출판 일자: 2002/12/11

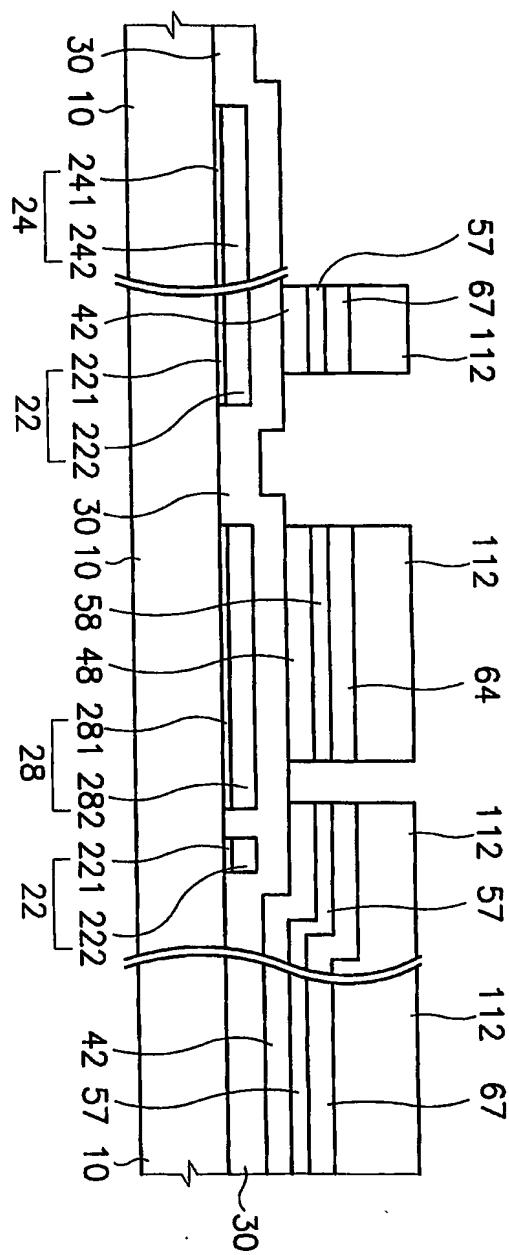
【도 14b】



1020020072001

출록 일자: 2002/12/11

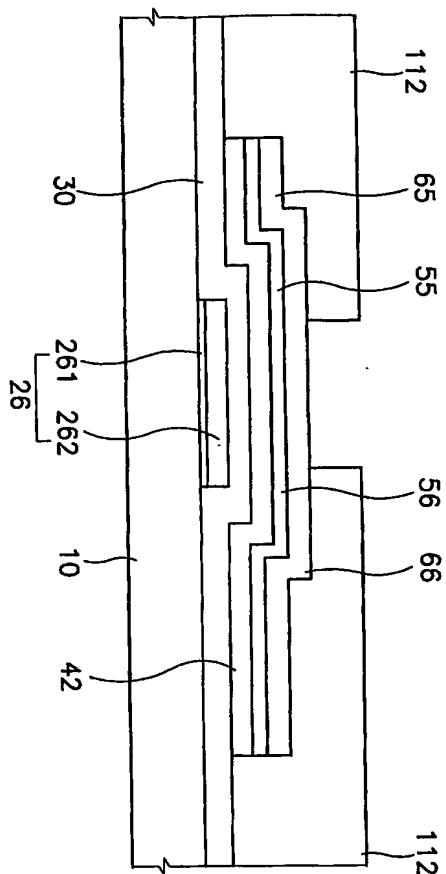
【도 15a】



1020020072001

출
일자: 2002/12/11

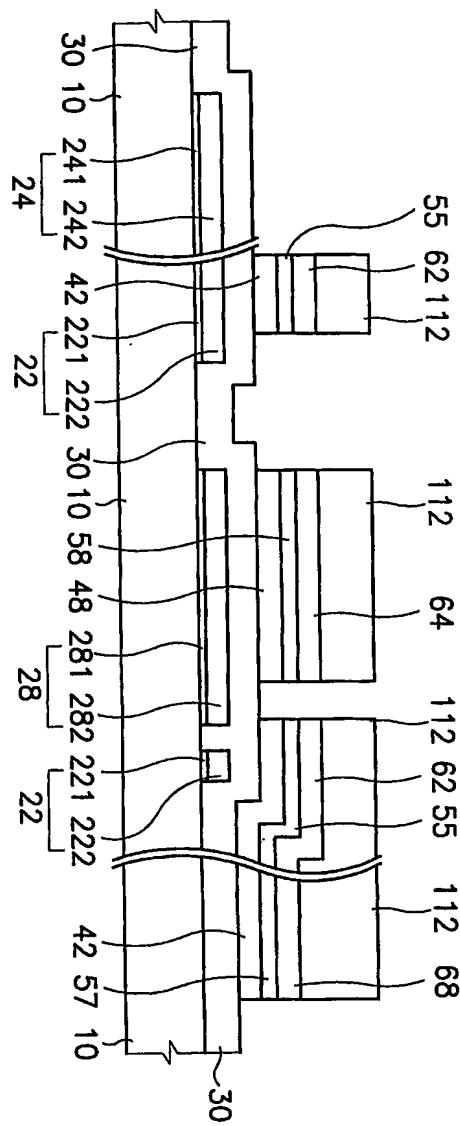
【도 15b】



1020020072001

일자: 2002/12/11

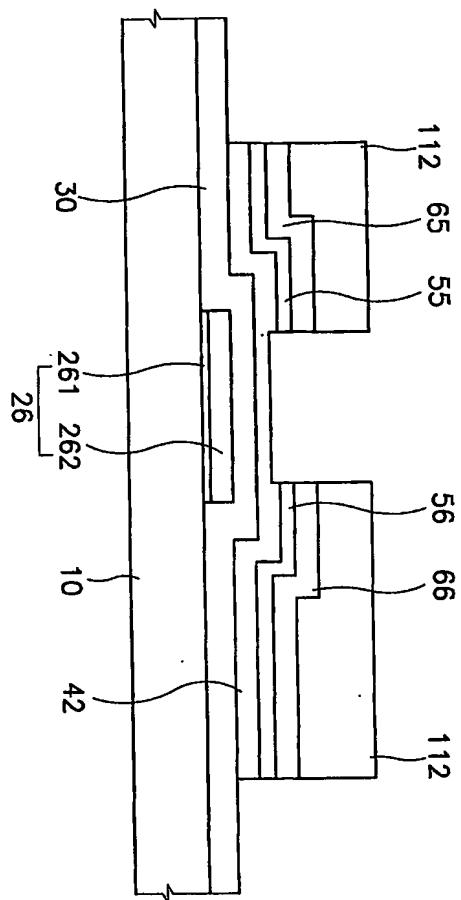
【도 16a】



1020020072001

출력 일자: 2002/12/11

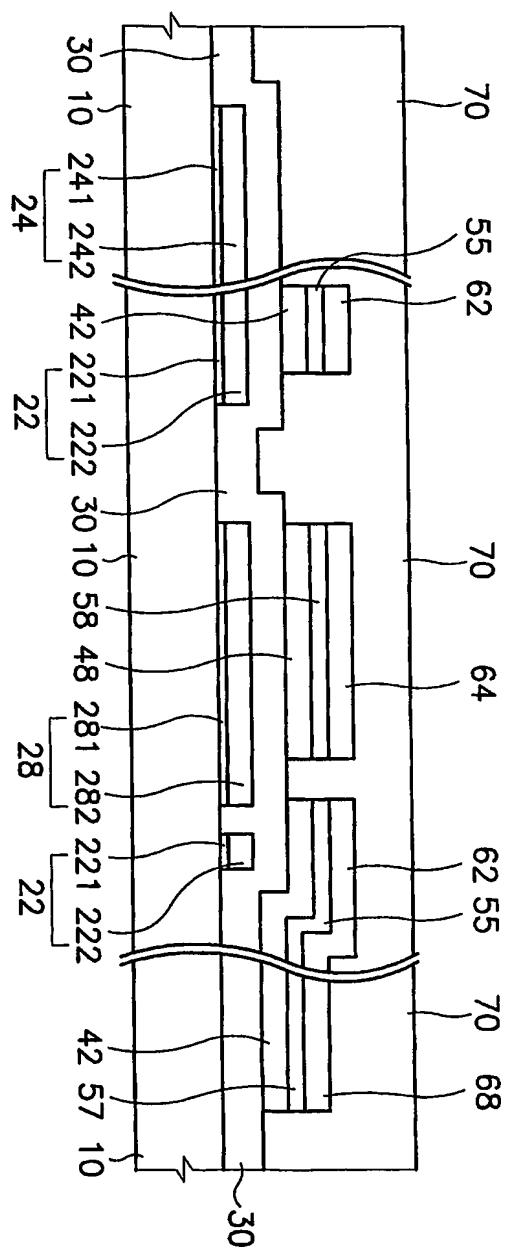
【도 16b】



1020020072001

출력 일자: 2002/12/11

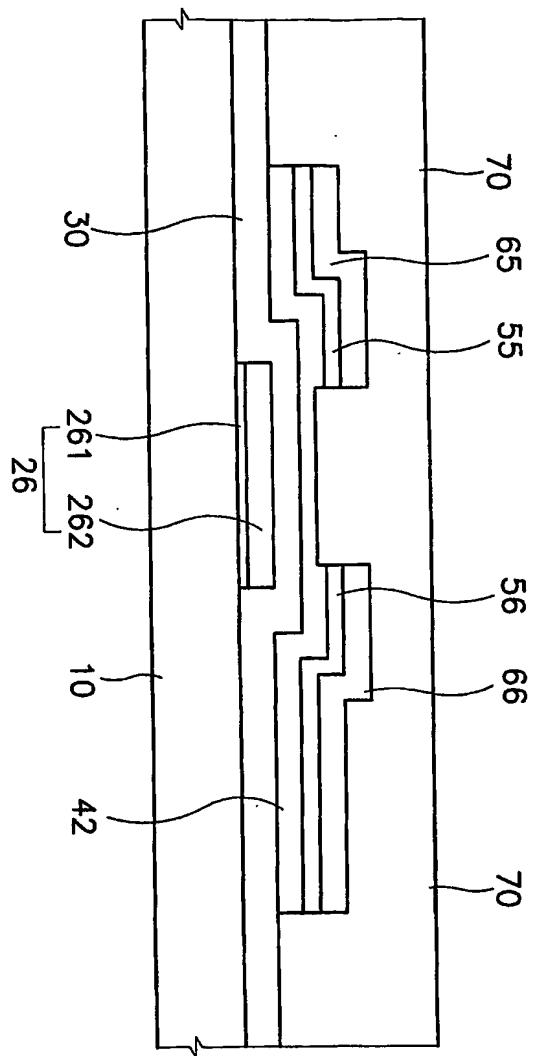
【도 17a】



1020020072001

출력 일자: 2002/12/11

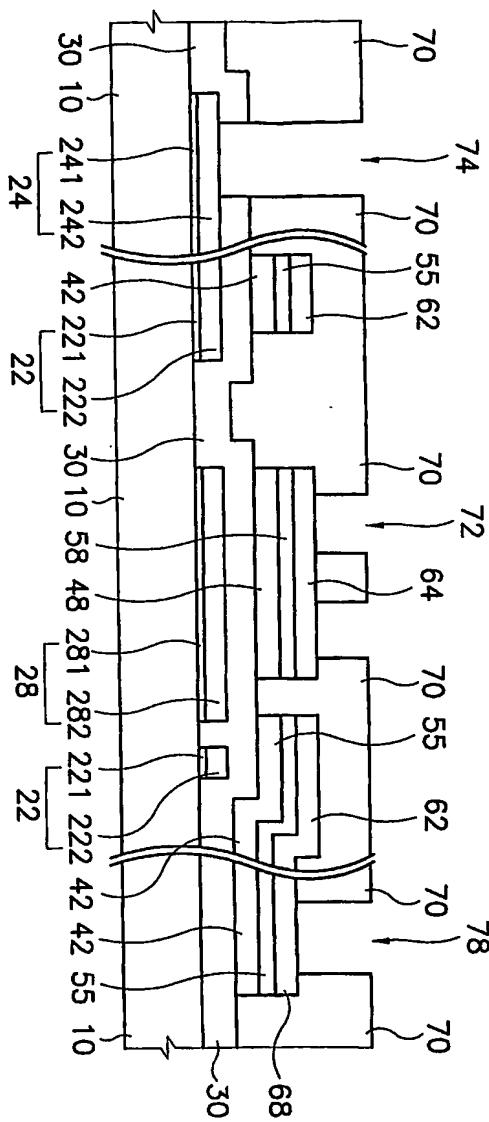
【도 17b】



1020020072001

출력 일자: 2002/12/11

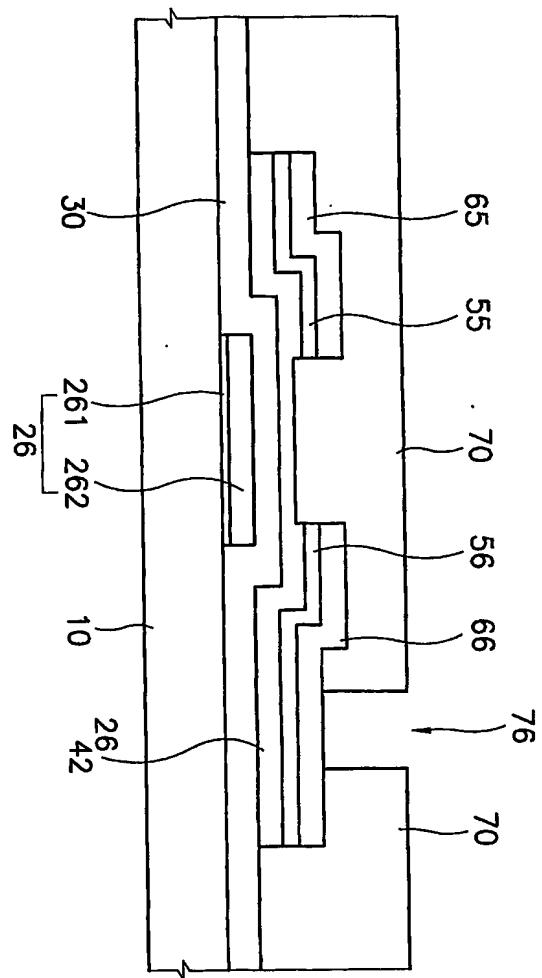
【도 18a】



1020020072001

출력 일자: 2002/12/11

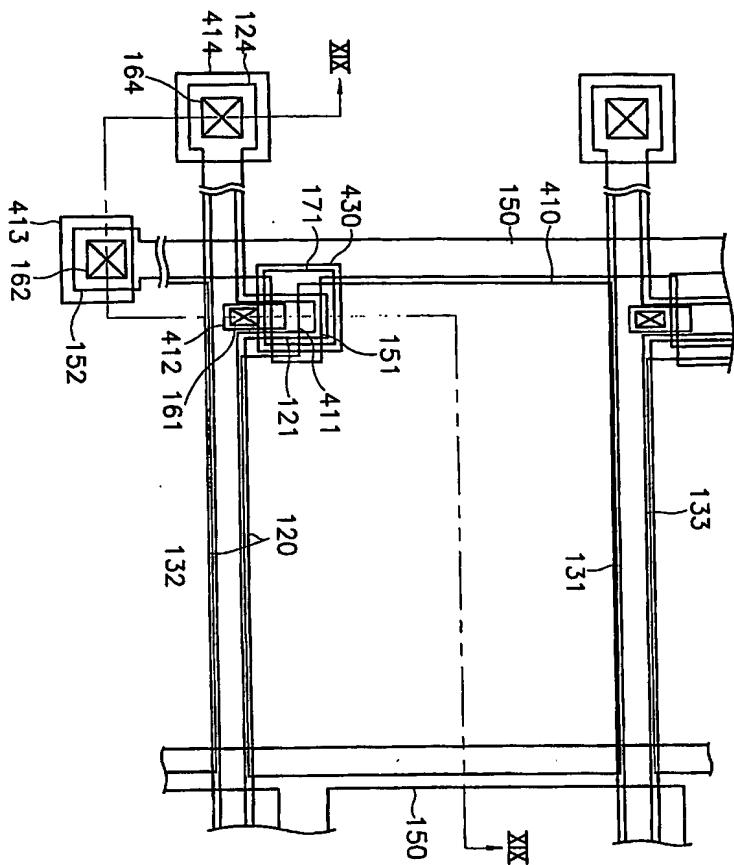
【도 18b】



1020020072001

출력 일자: 2002/12/11

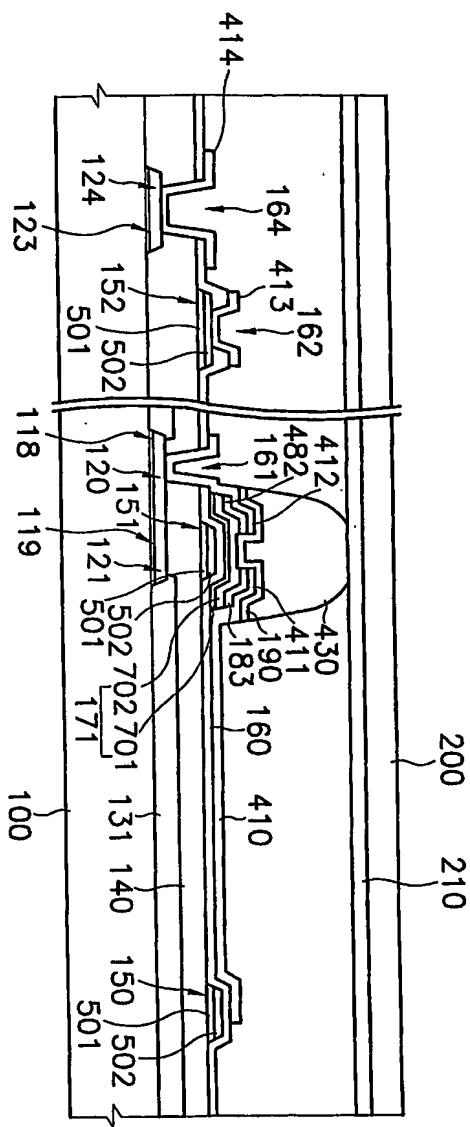
【도 19】



1020020072001

출제 일자: 2002/12/11

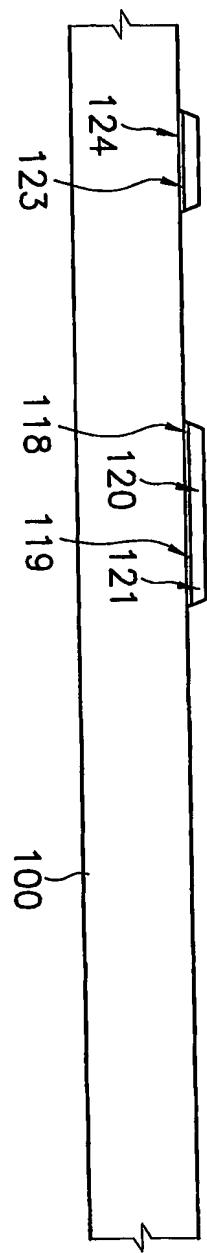
【도 20】



1020020072001

출력 일자: 2002/12/11

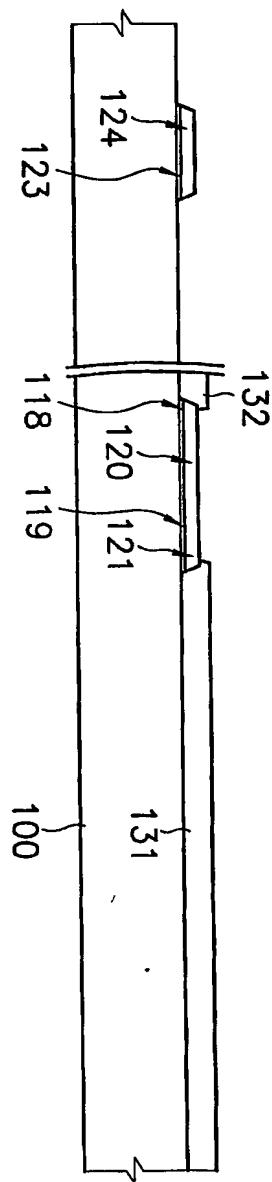
【도 21】



1020020072001

출력 일자: 2002/12/11

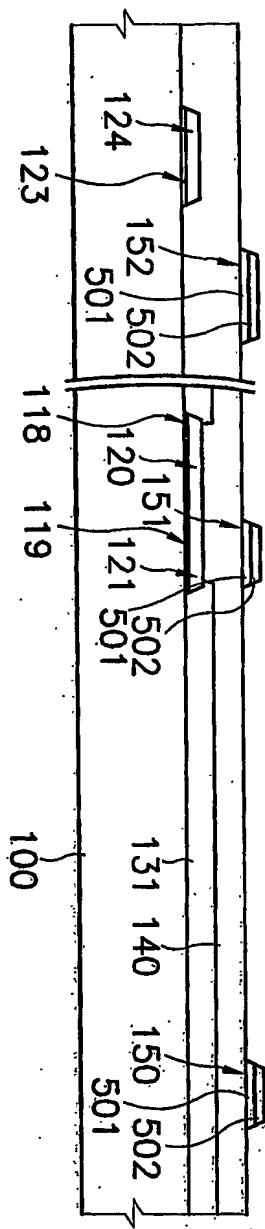
【도 22】



1020020072001

출제 일자: 2002/12/11

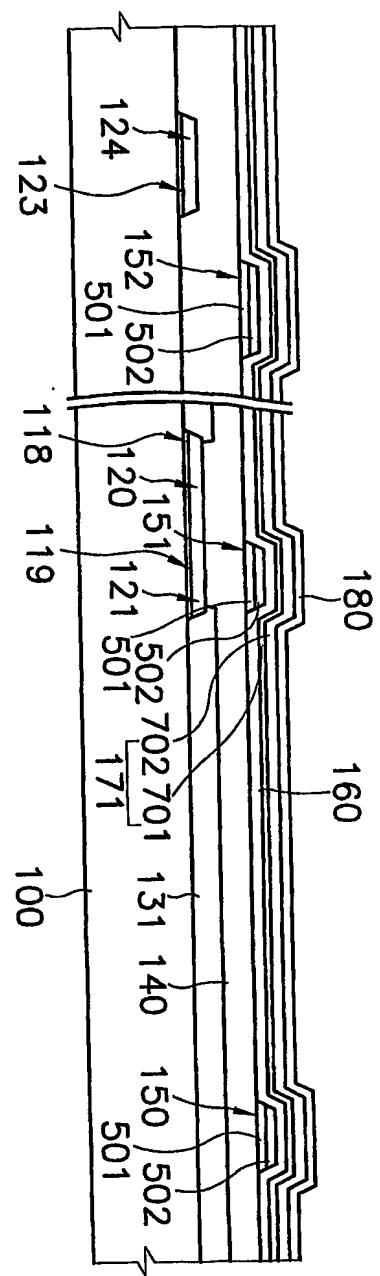
【도 23】



020020072001

출력 일자: 2002/12/11

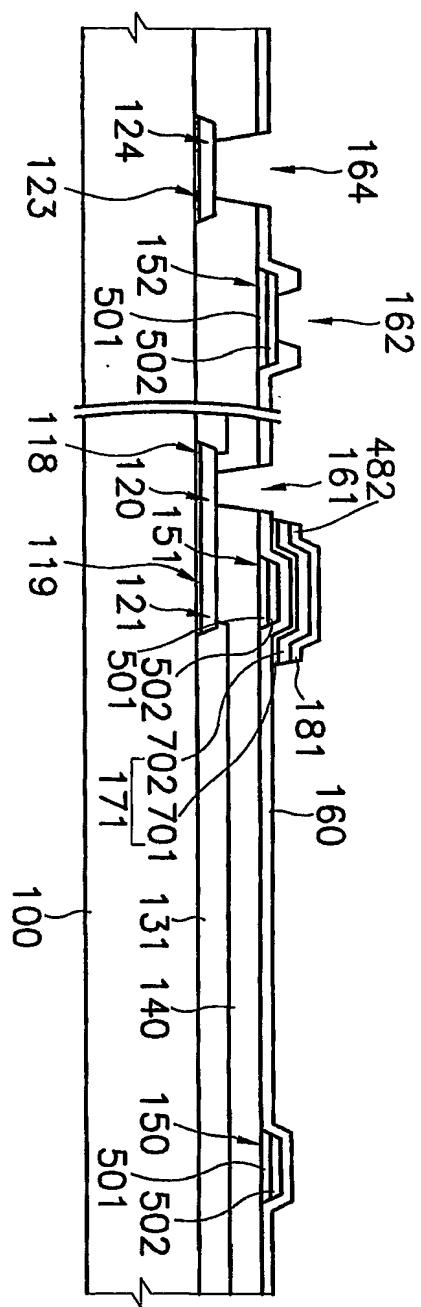
【도 24】



1020020072001

출력 일자: 2002/12/11

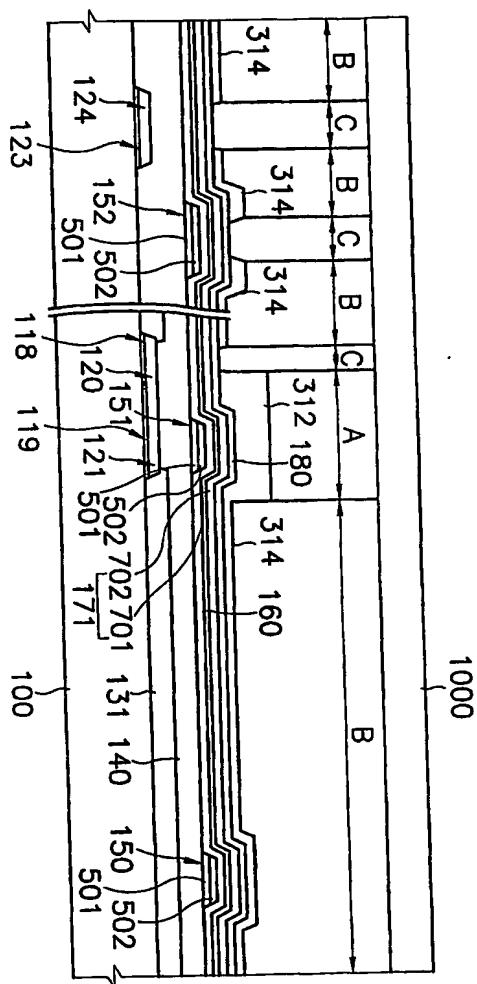
【도 25】



출력 일자: 2002/12/11

20020072001

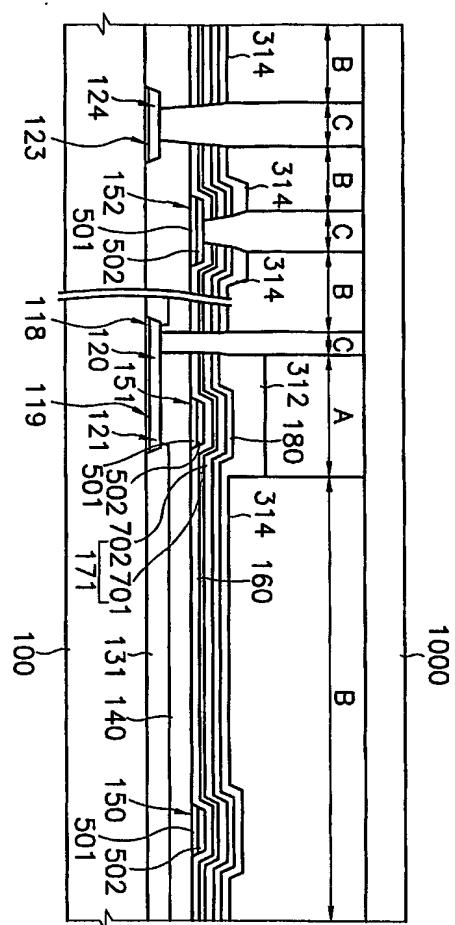
【도 26】



20020072001

출력 일자: 2002/12/11

【도 27】



1020020072001

출력 일자: 2002/12/11

【FIG 28】

